



日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1 9 9 9 年 1 1 月 2 6 日

出 願 番 号

Application Number:

平成 1 1 年 特 許 願 第 3 3 6 6 0 5 号

出 願 人

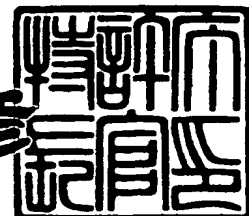
Applicant (s):

株式会社東芝

2 0 0 0 年 1 月 2 8 日

特 許 庁 長 官
Commissioner,
Patent Office

近 藤 隆 彦



出 証 番 号 出 証 特 2 0 0 0 - 3 0 0 2 3 9 7

【書類名】 特許願

【整理番号】 A009905677

【提出日】 平成11年11月26日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 13

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
 浜事業所内

 【氏名】 稗田 克彦

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
 浜事業所内

 【氏名】 江口 和弘

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100058479

 【弁理士】

 【氏名又は名称】 鈴江 武彦

 【電話番号】 03-3502-3181

【選任した代理人】

 【識別番号】 100084618

 【弁理士】

 【氏名又は名称】 村松 貞男

【選任した代理人】

 【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【先の出願に基づく優先権主張】

【出願番号】 平成10年特許願第365491号

【出願日】 平成10年12月22日

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705037

特平 1 1 - 3 3 6 6 0 5

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】

半導体基板上に形成された凸状の下部電極と、この下部電極の表面を覆うように形成されたキャパシタ絶縁膜と、このキャパシタ絶縁膜上に形成された上部電極とを含むキャパシタセルを具備する半導体装置において、

前記下部電極の上面の少なくとも端部と前記キャパシタ絶縁膜との間に、絶縁材料から構成された少なくとも 1 層のキャップ膜が形成されていることを特徴とする半導体装置。

【請求項 2】

前記下部電極の側面と前記キャップ膜の側面とが連続的に形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

半導体基板上に形成された凸状の下部電極と、この下部電極の表面を覆うように形成されたキャパシタ絶縁膜と、このキャパシタ絶縁膜上に形成された上部電極とを含むキャパシタセルを具備する半導体装置において、

前記下部電極を構成する結晶は、互いに隣接する結晶粒の粒界が該電極の側面に対して垂直に形成されていることを特徴とする半導体装置。

【請求項 4】

前記互いに隣接する結晶粒の粒界が該電極の側面に対して垂直に形成されている結晶は、前記下部電極側面を構成することを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】

前記下部電極の側面の結晶粒の粒界の方向と前記キャパシタ絶縁膜の結晶粒の粒界の方向との少なくとも一部が同じであることを特徴とする請求項 3 に記載の半導体装置。

【請求項 6】

前記キャパシタセルの下部電極の側面の下部端部は、前記キャパシタ絶縁膜以

外の絶縁膜に覆われていることを特徴とする請求項 1 又は 3 に記載の半導体装置

【請求項 7】

前記下部電極の上部表面に形成された前記キャパシタ絶縁膜の膜厚は、前記下部電極の側面に形成された該キャパシタ絶縁膜の膜厚より厚く形成されている事を特徴とする前記請求項 1 又は 3 に記載の半導体装置。

【請求項 8】

前記キャパシタセルの下部電極は、スタック型 D R A M のメモリセルに用いられていることを特徴とする請求項 1 又は 3 に記載の半導体装置。

【請求項 9】

前記キャパシタ絶縁膜は、S r と T i を含む酸化物から構成されていることを特徴とする請求項 1 又は 3 に記載の半導体装置。

【請求項 1 0】

半導体基板上に、表面の一部にプラグ電極が露出する層間絶縁膜を形成する工程と、

前記層間絶縁膜上に、前記プラグ電極に接続し、上面のみに絶縁体からなる少なくとも 1 層のキャップ膜が形成された凸状の下部電極を形成する工程と、

前記下部電極の側面及び前記キャップ膜の表面を覆うキャパシタ絶縁膜を形成する工程と、

前記キャパシタ絶縁膜上に上部電極を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 1 1】

半導体基板上に、表面の一部にプラグ電極が露出する層間絶縁膜を形成する工程と、

前記層間絶縁膜上に絶縁膜を形成する工程と、

前記絶縁膜に、前記プラグ電極が露出する開口部を形成する工程と、

前記開口部に下部電極を埋め込み形成する工程と、

前記下部電極の表面をほぼ均一に除去し、側面が前記絶縁膜、且つ底面が該電極である凹部を形成する工程と、

前記凹部に絶縁体からなる少なくとも 1 層のキャップ膜を埋め込み形成する工程と、

前記絶縁膜を除去し、凸状の前記下部電極及びキャップ膜の積層構造を露出させる工程と、

前記下部電極及びキャップ膜の表面を覆うキャパシタ絶縁膜を形成する工程と、

前記キャパシタ絶縁膜上に上部電極を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 1 2】

半導体基板上に、表面の一部にプラグ電極が露出する層間絶縁膜を形成する工程と、

前記層間絶縁膜上に下部電極、及び絶縁体からなる少なくとも 1 層のキャップ膜を順次積層する工程と、

前記プラグ電極を含む領域の前記キャップ膜上に選択的にマスクパターンを形成する工程と、

前記マスクパターンをマスクに前記下部電極及びキャップ膜を選択的にエッチングして前記層間絶縁膜を露出させると共に、前記下部電極及びキャップ膜の積層構造を凸状に成形する工程と、

前記下部電極及びキャップ膜の表面を覆うキャパシタ絶縁膜を形成する工程と、

前記キャパシタ絶縁膜上に上部電極を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 1 3】

半導体基板上に、表面の一部にプラグ電極が露出するホールを有するマスク層を形成する工程と、

前記マスク層のホール内に下部電極を埋込形成する工程と、

前記下部電極の表面を覆うキャパシタ絶縁膜を形成する工程と、

前記キャパシタ絶縁膜上に上部電極を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、凸状の下部電極を覆うようにキャパシタ絶縁膜及び上部電極が積層された構造のキャパシタを有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

近年、半導体集積回路の高集積化に伴い、最小加工寸法の微細化と共にメモリセル面積の微細化は進む一方である。それにつれて、メモリセルにおけるキャパシタ面積は非常に小さくなってきている。メモリセル面積が小さくなるとキャパシタ容量（蓄積容量 C_s ）も小さくなってしまいが、キャパシタ容量はセンス感度、ソフトエラー、回路ノイズ等の点から一定値以上の値が必要である。これを解決する方法として、キャパシタを3次元的に形成して小さなセル面積でキャパシタ表面積をできるだけ大きくしてキャパシタ容量を稼ぐ方法と、キャパシタ絶縁膜に誘電率が高い絶縁膜（いわゆる高誘電体膜）を用いる方法との二つの方法が検討されている。

【0003】

0. 15 μm 以下のデザインルール世代（512MビットDRAM世代相当以降）になってくると、複雑な3次元形状をした蓄積（SN: Storage Node）電極の加工は、微細な加工を必要するのでだんだんと難しくなっている。そこで、キャパシタ容量を稼ぐ方法として、キャパシタの3次元化を図ると共に、キャパシタ絶縁膜に誘電率の高い絶縁膜を用いることが非常に重要になってきている。

【0004】

誘電率が高い絶縁膜として代表的なものに $(\text{Ba}, \text{Sr})\text{TiO}_3$ （以下BST膜）がある。BST膜を用いる場合、蓄積電極にはBST膜の成膜途中で酸素雰囲気を用いるので工程途中で酸化されても導電性を示すRu膜（ RuO_2 膜は導電性）、又は RuO_2 膜/Ru膜の積層膜を用いる検討が行われている（1995年IDEM Technical Digest, S.Yamamichi等、p.119-p.122）。

【0005】

RuO₂ 膜/Ru 膜の積層膜を蓄積電極としたスタック型DRAMのキャパシタ構造の構成について図19を用いて説明する。まず、p型Si基板11上に素子分離領域12を形成した後、トランジスタのゲート酸化膜13、メモリセル部ではワード線となるゲート電極14、ゲートキャップ層15、ソース/ドレイン拡散層16、シリコン窒化膜17を形成し、第1の層間絶縁膜191を堆積して平坦化した後、蓄積電極コンタクトとビット線コンタクトの領域にポリシリコンプラグ20a、20bを埋め込み形成し、その後、第2の層間絶縁膜192を介してビット線26を形成する。その後さらに第3の層間絶縁膜193を堆積した後、表面の平坦化、SNコンタクトホールを開口を行い、n⁻型ポリシリコンプラグ194を埋込形成する。そして、蓄積電極材を成膜した後、レジスト膜を用いた通常のリソグラフィ法とRIE法を用いて電極材のパターニングを行い、蓄積電極27を形成する。レジスト膜を除去した後にBST膜などの高誘電率体からなるキャパシタ絶縁膜29を成膜し、さらにプレート電極30を形成する。

【0006】

蓄積電極は電極材に対してRIEを行うことにより形成されるため、蓄積電極の側面はダメージを受けると共に、その表面形態は悪くなっている。BSTは下地の蓄積電極の結晶状態を引き継いで成長するために、BST膜の結晶性の成長に影響を与え、BST膜の誘電率の低下の原因やBSTの結晶に歪みが入り非常にリーク電流の大きなBST膜となり、BST膜の薄膜化に対する制限要因となっている。

【0007】

また、蓄積電極は、層間絶縁膜の表面から成長しているため、主に縦方向に柱状結晶構造を持つ事になり主要なキャパシタを構成する蓄積電極の側面では蓄積電極の結晶の向きはBST膜に対して主に90度異なる向きになる。

【0008】

また、このような蓄積電極構造においては、蓄積電極の上部コーナーが鋭角となり、コーナー部における電界集中により、キャパシタ絶縁膜のリーク電流が増大する問題がある。

【0009】

また、図20に示すように、Si基板11上に形成された凸状のTEOS膜201に沿って形成された SrRuO_3 電極（蓄積電極に相当）202の上部コーナーにおいて、BST膜203の結晶の配向性が大きく変化し、結晶に歪みが入り非常にリーク電流の大きなキャパシタ絶縁膜となり、キャパシタ絶縁膜の薄膜化を阻害する制限要因となっている。

【0010】

【発明が解決しようとする課題】

上述したように、蓄積電極の表面形態が悪いため、キャパシタ誘電体膜の結晶に歪みが入り非常にリーク電流の大きなキャパシタ絶縁膜となり、キャパシタ絶縁膜の薄膜化を阻害する制限要因となっているという問題があった。

【0011】

スタック型のキャパシタでは下部電極のコーナー部において、電界集中が生じることによって、リーク電流が増大するという問題があった。

【0012】

また、下部電極のコーナー部において、キャパシタ絶縁膜の配向性が大きく変化することによって結晶に歪みが生じるために、キャパシタ絶縁膜の薄膜化を阻害し、キャパシタ容量の増大を阻害していた。

【0013】

本発明の目的は、リーク電流の抑制を図り、キャパシタ絶縁膜のリーク電流の低減を図り、キャパシタ容量の増大を図り得る半導体装置及びその製造方法を提供することにある。

【0014】

【課題を解決するための手段】

〔構成〕

本発明は、上記目的を達成するために以下のように構成されている。

【0015】

(1) 本発明（請求項1）の半導体装置は、半導体基板上に形成された凸状の下部電極と、この下部電極の表面を覆うように形成されたキャパシタ絶縁膜と、

このキャパシタ絶縁膜上に形成された上部電極とを含むキャパシタセルを具備する半導体装置において、前記下部電極の上面の少なくとも端部と前記キャパシタ絶縁膜との間に、絶縁体材料から構成された少なくとも1層のキャップ膜が形成されていることを特徴とする。

【0016】

本発明の好ましい実施態様を以下に記す。

【0017】

キャップ膜とキャパシタ絶縁膜とは異なる絶縁材料で構成されている。

【0018】

前記下部電極の側面と前記キャップ膜の側面とが連続的に形成されている。

(2) 本発明(請求項3)の半導体装置は、半導体基板上に形成された凸状の下部電極と、この下部電極の表面を覆うように形成されたキャパシタ絶縁膜と、このキャパシタ絶縁膜上に形成された上部電極とを含むキャパシタセルを具備する半導体装置において、前記下部電極を構成する結晶は、互いに隣接する結晶粒の粒界が該電極の側面に対して垂直に形成されていることを特徴とする。

【0019】

本発明の好ましい実施態様を以下に記す。

前記互いに隣接する結晶粒の粒界が該電極の側面に対して垂直に形成されている結晶は、前記下部電極側面を構成すること。

【0020】

前記下部電極の側面の結晶粒の粒界の方向と前記キャパシタ絶縁膜の結晶粒の粒界の方向との少なくとも一部が同じであること。 上記二つの発明の好ましい実施態様を以下に記す。

前記キャパシタセルの下部電極の側面の下部端部は、絶縁膜に覆われていること。 前記下部電極の上部表面に形成された前記キャパシタ絶縁膜の膜厚は、前記下部電極の側面に形成された該キャパシタ絶縁膜の膜厚より厚く形成されていること。

【0021】

前記キャパシタセルの下部電極は、DRAMのメモリセルのトランジスタのソ

ース／ドレイン領域に電氣的に接続され、該キャパシタセルはDRAMのメモリセルを構成する。

前記キャパシタ絶縁膜は、 $(Ba, Sr)TiO_3$ や $SrTiO_3$ から構成されていること。

【0022】

(3) 本発明(請求項10)の半導体装置の製造方法は、半導体基板上に、表面の一部にプラグ電極が露出する層間絶縁膜を形成する工程と、前記層間絶縁膜上に、前記プラグ電極に接続し、上面のみに絶縁体からなる少なくとも1層のキャップ膜が形成された凸状の下部電極を形成する工程と、前記下部電極の側面及び前記キャップ膜の表面を覆うキャパシタ絶縁膜を形成する工程と、前記キャパシタ絶縁膜上に上部電極を形成する工程とを含むことを特徴とする。

【0023】

(4) 本発明(請求項11)の半導体装置の製造方法は、半導体基板上に、表面の一部にプラグ電極が露出する層間絶縁膜を形成する工程と、前記層間絶縁膜上に絶縁膜を形成する工程と、前記絶縁膜に、前記プラグ電極が露出する開口部を形成する工程と、前記開口部に下部電極を埋め込み形成する工程と、前記下部電極の表面をほぼ均一に除去し、側面が前記絶縁膜、且つ底面が該電極である凹部を形成する工程と、前記凹部に絶縁体からなる少なくとも1層のキャップ膜を埋め込み形成する工程と、前記絶縁膜を除去し、凸状の前記下部電極及びキャップ膜の積層構造を露出させる工程と、前記下部電極及びキャップ膜の表面を覆うキャパシタ絶縁膜を形成する工程と、前記キャパシタ絶縁膜上に上部電極を形成する工程とを含むことを特徴とする。

【0024】

(5) 本発明(請求項12)の半導体装置の製造方法は、半導体基板上に、表面の一部にプラグ電極が露出する層間絶縁膜を形成する工程と、前記層間絶縁膜上に下部電極、及び絶縁体からなる少なくとも1層のキャップ膜を順次積層する工程と、前記プラグ電極を含む領域の前記キャップ膜上に選択的にマスクパターンを形成する工程と、前記マスクパターンをマスクに前記下部電極及びキャップ膜を選択的にエッチングして前記層間絶縁膜を露出させると共に、前記下部電極

及びキャップ膜の積層構造を凸状に成形する工程と、前記下部電極及びキャップ膜の表面を覆うキャパシタ絶縁膜を形成する工程と、前記キャパシタ絶縁膜上に上部電極を形成する工程とを含むことを特徴とする。

【 0 0 2 5 】

(6) 本発明 (請求項 1 3) の半導体装置の製造方法は、半導体基板上に、表面の一部にプラグ電極が露出するホールを有するマスク層を形成する工程と、前記マスク層のホール内に下部電極を埋込形成する工程と、前記下部電極の表面を覆うキャパシタ絶縁膜を形成する工程と、前記キャパシタ絶縁膜上に上部電極を形成する工程とを含むことを特徴とする。

【 0 0 2 6 】

[作用]

本発明は、上記構成によって以下の作用・効果を有する。

【 0 0 2 7 】

下部電極の上部表面上には絶縁体からなるキャップ膜が形成されていることによって、下部電極の上端部においては鋭角なコーナー部が存在しなくなるので、電界集中が生じず、リーク電流が増大するということがない。

【 0 0 2 8 】

また、下部電極の側部では、キャパシタ絶縁膜の配向性が大きく変化することがないので、キャパ絶縁膜の薄膜化をすることができ、キャパシタ容量の増大を図ることができる。

【 0 0 2 9 】

下部電極の側面におけるキャパシタ誘電体膜 (B S T 膜) の結晶性を向上できるのでキャパシタ誘電体膜の誘電率を安定して形成でき、その結果キャパシタ容量を安定して向上できる。

【 0 0 3 0 】

下部電極の上部平面はキャパシタ誘電体膜の配向性が側面に比べて劣るが、下部電極上部の面積は側面に比べて小さく、また、誘電体膜を C V D 法を用いて形成すると側面に比べて厚膜に成膜する事によりリーク電流の増加等を防止できるので下部電極の上部平面の影響を小さく出来る。

【 0 0 3 1 】

下部電極の側面底部において金属膜の結晶配向性が乱れる領域は絶縁膜を形成してキャパシタとして用いない事により、下部電極側面のBSTキャパシタ誘電体膜の特性（リーク電流、比誘電率等）均一性が向上しDRAM素子としての歩留まりが向上する。

【 0 0 3 2 】

【発明の実施の形態】

本発明の実施の形態を以下に図面を参照して説明する。

【 0 0 3 3 】

〔第 1 の実施形態〕

図 1 は、本発明の第 1 の実施形態に係わるスタック型DRAMのメモリセルの概略構成を示す図である。なお、図 1 (a) はDRAMの平面図、同図 (b) A - A' 部の断面図である。

【 0 0 3 4 】

図 1 に示すように、例えば p 型の Si 基板 1 1 の表面に、溝に絶縁膜が埋め込み形成された素子分離領域 1 2 が設けられている。素子分離領域 1 2 上、又は Si 基板 1 1 上のゲート酸化膜 1 3 を介して、ポリシリコン膜 1 4 a 及び WSi_2 膜 1 4 b が積層されたゲート電極（ワード線） 1 4 が形成されている。本実施形態では、抵抗を小さくするために、いわゆるポリサイド構造の多層膜からなるゲート電極の例を述べているが他の構造、例えば単純なポリシリコン層のみやポリシリコン層と W 膜を用いた積層構造でも良い。

【 0 0 3 5 】

ゲート電極 1 4 上にシリコン窒化膜からなるゲートキャップ層 1 5 が形成されている。素子領域の Si 基板 1 1 の表面に、ゲート電極 1 4 を挟むように、ソース／ドレイン拡散層 1 6 が形成されている。ゲート電極 1 4 及びゲートキャップ層 1 5 の積層構造の側部にシリコン窒化膜 1 7 が形成されている。隣接するシリコン窒化膜 1 7 と図示されていない第 1 の BPSG 膜とから側壁が構成されたコンタクトホール 1 9 にポリシリコンからなるポリシリコンコンタクト 2 0 (SN コンタクト 2 0 a, BL コンタクト 2 0 b) が埋め込み形成されている。なお、

ゲートキャップ層 1 5, ポリシリコンコンタクト 2 0 及び図示されていない第 1 の B P S G 膜の表面は平坦化され、高さが同一である。

【 0 0 3 6 】

全面に第 2 及び第 3 の層間絶縁膜となる第 2 の B P S G 膜 2 1 及び T E O S 酸化膜 2 2 が順次積層されている。第 2 の B P S G 膜 2 1 及び T E O S 酸化膜 2 2 に形成された溝に、B L コンタクトプラグ 2 5 を介して B L コンタクト 2 0 b に接続するビット線 2 6 が形成されている。なお、以下では第 2 の B P S G 膜 2 1 及び T E O S 酸化膜 2 2 が積層された構造をまとめて層間絶縁膜 2 1, 2 2 と称する。

【 0 0 3 7 】

層間絶縁膜 2 1, 2 2 に形成され、S N コンタクト 2 0 a に接続する S N コンタクトホールに W プラグ 2 3 及びバリアメタル 2 4 が積層されている。なお、バリアメタル 2 4 及び T E O S 酸化膜 2 2 の表面の高さは、ほぼ同一である。

【 0 0 3 8 】

T E O S 酸化膜 2 2 上にバリアメタル 2 4 を介して W プラグ 2 3 に電氣的に接続する $SrRuO_3$ からなる蓄積 (Storage Node) 電極 (下部電極) 2 7 が形成されている。蓄積電極 2 7 側面の $SrRuO_3$ 結晶は、互いに隣接する結晶の粒界の向きが蓄積電極 2 7 の側面に対して垂直方向に形成されている。

【 0 0 3 9 】

蓄積電極 2 7 が形成されていない T E O S 酸化膜 2 2 上にはシリコン窒化膜 2 8 が形成されている。蓄積電極 2 7 及びシリコン窒化膜 2 8 の表面を覆うように、 $(Ba, Sr)TiO_3$ [B S T] 膜 2 9 が形成されている。

【 0 0 4 0 】

次に、このような蓄積電極構造を有する D R A M メモリセルの製造方法について説明する。図 2 ～図 7 は、本発明の第 1 実施形態に係わる D R A M メモリセルの製造方法を示す工程断面図である。ここでは、メモリセルに N チャネル MOS トランジスタを用いた場合について説明するが、P チャネル MOS トランジスタを用いた場合も同様である。

【 0 0 4 1 】

先ず、図 2 (a) に示すように、例えば不純物濃度 $5 \times 10^{15} \text{ cm}^{-3}$ 程度の (100) 面の p 型シリコン基板 11 又は N 型シリコン基板の表面に、n チャネルトランジスタ形成領域には p ウェル、また p チャネルトランジスタ形成領域には n ウェルを形成する (不図示)。次いで、例えば反応性イオンエッチング (RIE) を用いて、素子領域 41 以外の領域の Si 基板 11 に深さ $0.2 \mu\text{m}$ 程度の溝を掘りこんだ後に、溝に絶縁膜を埋め込み、いわゆる STI (Shallow Trench Isolation) 技術を用いた素子分離領域 12 を形成する。

【0042】

次いで、トランジスタのゲート絶縁膜として厚さ 60 nm 程度のゲート酸化膜 13 を形成する。そして、それぞれ膜厚 50 nm 程度のポリシリコン膜 14a 及び WSi_2 膜 14b を順次堆積する

次いで、 WSi_2 膜 14b 上に、後工程の自己整合工程時のエッチングストップ層となるシリコン窒化膜 (Si_3N_4 膜) からなるゲートキャップ層 15 を形成する。その後、ゲートキャップ層 15 上のゲート電極の形成領域に、図示されないレジスト膜を形成し、続いてこのレジスト膜をマスクに用いてゲートキャップ層 15 を加工してレジスト膜を除去する。そして、ゲートキャップ層 15 をマスクとして、 WSi_2 膜 14b 及びポリシリコン膜 14a をパターニングすることによって、メモリセル部ではワード線となるゲート電極 14 を形成する。

【0043】

本実施形態のゲート電極 14 は、抵抗を小さくするために例えばポリシリコン膜 14a と WSi_2 膜 14b との多層膜、いわゆるポリサイド構造例を述べているが、他の構造、例えば単純なポリシリコン層のみやポリシリコン層と W 膜を用いた積層膜構造でもよい。

【0044】

次いで、ゲート電極 14 と後に形成される低濃度の不純物拡散層 (ソース/ドレイン拡散層) との耐圧を向上させるために、例えば酸素雰囲気中で 1050°C 100 秒程度の RTO (Rapid Thermal Oxidation) 法による急速熱酸化を行い Si 基板 11 の表面にいわゆる後酸化膜 (不図示) を形成する。

【0045】

レジスト膜を形成した後、このレジスト膜、ゲートキャップ層 15、ゲート電極 14 をマスクとして、ソース／ドレイン拡散層 16 となる n^- 型不純物拡散層を Si 基板 11 の所望の領域の表面に、例えばイオン注入法により形成する。

【0046】

次に、全面に例えば膜厚 20 nm 程度のシリコン窒化膜 (Si_3N_4 膜) 17 を LP-CVD 法により堆積する。その後、更に全面に第 1 の BPSG 膜 18 を CVD 法で約 500 nm 堆積する。その後、第 1 の BPSG 膜 18 の表面を例えば、CMP (Chemical Mechanical Polish; 化学的機械研磨) 法を用いてゲートキャップ層 15 上での第 1 の BPSG 膜 18 の膜厚が 100 nm 程度になるように全面を研磨して平坦化する。この CMP 法による第 1 の BPSG 膜 18 の平坦化により、ウェーハ全面がほぼ全面に渡って平坦化される。

【0047】

なお、ここでは説明を省略したが、シリコン窒化膜 17 を形成する前に、全面に例えば膜厚 20 nm 程度のシリコン窒化膜 (Si_3N_4 膜) を LP-CVD 法により堆積した後、シリコン窒化膜に対して RIE 法によるエッチングを行い、ゲート電極の側壁部に側壁絶縁膜を形成した後、レジスト膜と側壁絶縁膜及びゲート電極とをマスクにして所望の領域にイオン法入法で n^+ (又は p^+) 不純物拡散層からなるソース／ドレイン拡散層を形成する事ができる。この場合、全面に再度、後に CMP を行う際のストッパ膜として、例えば 20 nm 程度のシリコン窒化膜 (Si_3N_4 膜) を LP-CVD 法により堆積する。

【0048】

次いで、図 2 (b) に示すように、リソグラフィを用いて第 1 の BPSG 膜 18 上に形成したレジスト膜 42 をマスクに、ソース／ドレイン拡散層 16 とビット線又は蓄積電極とのコンタクトをとるためのポリシリコンプラグ用のコンタクトホール 19 を形成する。このコンタクトホール 19 の形成には、BPSG 膜のエッチングレートがシリコン窒化膜のエッチングレートに対し 10 倍以上早い高選択比 RIE を用いて、自己整合的に行う。このようにすることによって、ゲート電極 14 とこの後コンタクトホール 19 に埋め込まれる n^+ 型ポリシリコンコンタクト (19a, b) とのショートを防ぐことができ、製品の歩留まりを向上

させることができる。

【0049】

また、このときのレジスト膜42は、ホールパターンを有するレジスト膜ではなく、例えばゲート電極14上のシリコン窒化膜17と矩形のパターンを用いて所望のコンタクトホール19を形成する。このような加工法を用いると、ホールパターンを有するレジスト膜を使って形成されるコンタクトホールが丸形の穴とならず、コンタクトホール19が大きな開口面積の矩形の穴になるというメリットがある。

【0050】

次いで、図3(c)に示すように、レジスト膜42を除去した後、全面にリン(P^+)や砒素(As^+)等を不純物としてドーピングした n^+ 型のポリシリコン層をLP-CVD法により堆積した後、CMP法やRIEを用いたエッチバック法を用いてコンタクトホールに n^+ 型のポリシリコンコンタクト20(SNコンタクト20a, BLコンタクト20b)を完全に埋め込み形成する。この埋め込まれた n^+ 型のポリシリコンコンタクト20は、ソース/ドレイン拡散層16と電氣的に接続されている。

【0051】

次いで、図3(d)に示すように、例えば第2のBP SG膜21を全面にCVD法により例えば300nm程度堆積し、さらにその上にCMP時のストップ層としてTEOS酸化膜22を100nm程度CVD法により堆積する。そして、BLコンタクトホールに接続する深さ350nm程度のライン状の溝を形成した後、層間絶縁膜21, 22に、BLコンタクト20bに接続するBLコンタクトホールを通常のリソグラフィ法とRIE法を用いて開孔する。そして、例えばW膜/TiN膜/Ti膜等の積層膜を層間絶縁膜21, 22中に形成した深さ350nm程度のライン状の溝及びBLコンタクトホール中に、いわゆるCMP法を用いたデュアル・ダマシン工程(Dual damascene工程)を用いて、BLコンタクトホール中に埋め込まれたBLコンタクトプラグ25と、BLコンタクト20bにBLコンタクトプラグ25を介して電氣的に接続するビット線26を形成する。

【 0 0 5 2 】

そしてさらに、溝中に埋め込んだビット線 2 6 の表面を例えば 1 0 0 n m 程度エッチング除去してから、全面にシリコン窒化膜を 3 0 0 n m 程度堆積し、CMP 法や C D E (Chemical Dry Etching) 法等によりビット線 2 6 の表面にのみシリコン窒化膜を選択的に形成する。

【 0 0 5 3 】

なお、ビット線 2 6 を埋め込み形成する前に周辺回路部のコンタクト領域にも通常のリソグラフィ法と R I E 法を用いて、コンタクトホールとメモリセル部のビット線を形成するときに用いる溝を予め形成しておく。この様にすると、デュアル・ダマシン工程を用いてビット線を形成する際に、周辺回路部のコンタクトにもソース／ドレイン拡散層と電氣的に接続されたコンタクト・プラグを同時に形成することができる。

【 0 0 5 4 】

次いで、図 4 (e) に示すように、通常のリソグラフィと R I E 法を用いて、層間絶縁膜 2 1, 2 2 に S N コンタクト 2 0 a に接続するコンタクトホールを開孔して、例えば W 膜 / T i N 膜 / T i 膜等の積層膜を全面に堆積した後、CMP 法などにより T E O S 酸化膜 2 2 上の積層膜を除去して、コンタクトホール内にのみ S N メタル・プラグ用の W プラグ 2 3 を埋め込み形成する。W プラグ 2 3 は、 n^+ 型の S N コンタクト 2 0 a を介してソース／ドレイン拡散層 1 6 に電氣的に接続されている。コンタクトホールの開孔にはビット線 2 6 上のシリコン窒化膜とレジスト膜をマスクとして用いて所望の微細なコンタクトホールをビット線間の微細な領域に形成する。この段階では、メモリセル部も周辺回路部も平坦になっている。

【 0 0 5 5 】

次いで、図 4 (f) に示すように、露出した W プラグ 2 3 を C D E 法により、約 3 0 n m 程度エッチバック (リセス) して窪みを形成した後、例えばスパッタ法等を用いてバリアメタル 2 4 (T i N 膜、T i S i N 膜、T i A l N 膜、T a S i N 膜、W S i₂ 膜、T i C N 膜等) を形成した後、CMP 法等を用いて表面を研磨することにより、W プラグ 2 3 が除去されて形成された窪みにバリアメタ

ル 2 4 を選択的に埋め込み形成する。

【 0 0 5 6 】

次いで、図 5 (g) に示すように、全面に例えば 2 0 n m 程度の膜厚のシリコン窒化膜 (Si_3N_4 膜) 2 8 と例えば T E O S 酸化膜からなるマスク層 4 3 を 4 0 0 n m 程度堆積する。次に、蓄積電極の形成領域にホールを有するレジスト膜 4 4 を形成し、レジスト膜 4 4 をマスクに R I E 法を用いて、マスク層 4 3 とシリコン窒化膜 2 8 とをエッチングして、バリアメタル 2 4 が露出するホール 4 5 を形成する。このとき、マスク層 4 3、シリコン窒化膜 2 8 のエッチング角度はほぼ 9 0 度になるように注意する。

【 0 0 5 7 】

ホール 4 5 を形成する際、マスク層 4 3 のエッチングはシリコン窒化膜 2 8 をストッパ層として R I E 法で行い、次にシリコン窒化膜 2 8 を選択的にエッチングするような条件に変更して行くと T E O S 酸化膜 2 2 を適度にオーバーエッチングすることなく蓄積電極パターンのホール 4 5 を形成することができる。このとき、周辺回路部等のエッチングしたくない領域は、レジスト膜 4 4 で覆っておけばエッチングされない。また、瓶 2 6 上野シリコン窒化膜をシリコン窒化膜 2 8 のエッチングから保護するために、シリコン窒化膜 2 8 の下に酸化膜を形成しておいても良い。

【 0 0 5 8 】

次いで、図 5 (h) に示すように、レジスト膜 4 4 を除去した後、露出したホール 4 5 底部のバリアメタル 2 4 の表面を含む全面に、例えば C V D 法またはスパッタ法によりペロブスカイト結晶構造を持った金属酸化膜である SrRuO_3 膜 ; 蓄積電極材 2 7 を例えば膜厚 4 0 0 n m 程度堆積する。

【 0 0 5 9 】

この時、蓄積電極材 2 7 の結晶の構造を制御する事が必要である。蓄積電極材 2 7 のシリコン窒化膜 2 8、マスク層 4 3 に接する領域において、蓄積電極材 2 7 の主要な結晶が、柱状結晶の方向とほぼ 9 0 度の角度を持って形成されるようにする事が重要である。また、この時、蓄積電極材は溝部に埋め込み形成されるため、メモリセル部と周辺回路部には段差が生じない様に形成できる。

【 0 0 6 0 】

ここでは蓄積電極材として SrRuO_3 膜の例を述べたがこの他にも Ru 膜や RuO_2 膜、 Pt 膜、 Re 膜、 Os 膜、 Pd 膜、 Rh 膜、 Au 膜、 Ir 膜、 IrO_2 膜などでも良い。また、各金属膜のグレインを他の金属膜、例えば Rh や Ir でスタッフィングしたような膜でも良い。

【 0 0 6 1 】

次いで、図 6 (i) に示すように、例えば CMP 法やエッチバック法を用いてマスク層 4 3 上の蓄積電極材 2 7 を除去して、ホール 4 5 内に蓄積電極 2 7 を埋め込み形成する。

【 0 0 6 2 】

なお、マスク層 4 3 上の蓄積電極 2 7 を除去した後、マスク層 4 3 と蓄積電極 2 7 とを同じエッチングレートになるような条件で共に研磨又はエッチングしても良い。蓄積電極 2 7 の表層を除去することにより、蓄積電極 2 7 の高さは低くなるが、蓄積電極 2 7 側面での結晶構造がそろえることができる。

【 0 0 6 3 】

次いで、図 6 (j) に示すように、例えば周辺回路部のようにマスク層 4 3 を除去したくない領域を図示されないレジスト膜で覆い、マスク層 4 3 を、例えば NH_4F 液等のウェットエッチング溶液を用いて選択的に除去する。この時、ウェット・エッチングは絶縁膜の下のシリコン窒化膜 2 8 でエッチングをストップさせる事ができる。

【 0 0 6 4 】

また、この時、蓄積電極 2 7 の側面には、柱状結晶構造は水平方向に配列されたような結晶構造が実見されている、さらに、蓄積電極 2 7 の上部平面では、蓄積電極の側面部と異なる結晶面が形成されているが、この領域には、次の工程で形成される BST 膜が蓄積電極側面部よりも膜厚が厚く形成される傾向があるためにリーク電流等は問題とならない。

【 0 0 6 5 】

また、蓄積電極 2 7 の側面部の表面は、シリコン窒化膜 2 8 及びマスク層 4 3 のエッチングされたホールの側面が転写されたものになり、滑らかな側面を有す

る蓄積電極 2 7 を実現することができる。

【 0 0 6 6 】

すなわち、従来蓄積電極の側面は困難であったメタルなど電極材のエッチングより加工されていたが、本実施形態では、エッチング面が比較的滑らかな酸化膜のエッチング面が蓄積電極面に転写されて蓄積電極の側面が形成される。

【 0 0 6 7 】

蓄積電極 2 7 の側面が滑らかになる事により、蓄積電極側面の荒れによる電界集中によるキャパシタ絶縁膜のリーク電流増加を抑える事ができる。また、蓄積電極 2 7 の底部側面にはシリコン窒化膜 2 8 が存在しており、このシリコン窒化膜によって蓄積電極の底部コーナーの影響は回避されている。

【 0 0 6 8 】

また、周辺回路部のようにマスク層 4 3 を除去したくない領域を図示されないレジスト膜で覆うことによって、メモリセル部の蓄積電極 2 7 表面の高さとメモリセル部以外のマスク層 4 3 の表面の高さがそろい、蓄積電極 2 7 の有無によるメモリセル領域とメモリセル領域以外の領域の段差をほぼなくす事ができる。スタック構造の D R A M 製造工程においては、段差を小さくする事が重要な工程である。

【 0 0 6 9 】

次いで、図 7 (k) に示すように、 B S T 膜 2 9 を例えば C V D 法で全面に 2 0 n m 程度の膜厚になるように堆積し、さらに必要であれば B S T 膜 2 9 の結晶化アニールを行う。

【 0 0 7 0 】

滑らかな表面を有する蓄積電極 2 7 の側面の B S T 膜は、結晶性が良好になり、誘電率が向上する。なお、側面に比べて荒れた蓄積電極 2 7 の上面の B S T 膜の結晶性は、蓄積電極の側面の B S T 膜に比べれば悪い。しかし、従来のエッチングで加工された蓄積電極側面の B S T 膜に比べれば良好である。

【 0 0 7 1 】

また、 C V D 法で B S T 膜を堆積することによって、蓄積電極 2 7 の上面に形成される B S T 膜 2 9 の膜厚は、電極 2 7 の側面に形成される B S T 膜 2 9 の膜

厚より厚く形成される。そのため、蓄積電極 27 の上部端部における電界集中を抑制することができる。

【0072】

そして、図 7 (1) に示すように、キャパシタのプレート電極（上部電極）30 となる例えば SrRuO_3 膜を例えば CVD 法で全面に 40 nm 程度堆積する。その後、プレート電極 30 を通常のリソグラフィ法と RIE 法などを用いてパターンニングする（図示せず）。

【0073】

この時、周辺回路領域等のようにプレート電極が無い領域とメモリセル領域の間に段差が発生することになる、ここで、プレート電極として SrRuO_3 膜の代わりに、例えば、Ru 膜、Pt 膜、Re 膜、Ir 膜、Os 膜、Pd 膜、Rh 膜、Au 膜等の貴金属類導電膜またはそれらの金属酸化膜、 SrRuO_3 膜以外のペロブスカイト型の導電性金属酸化膜等を用いる事も可能である。さらに、全面に例えばプラズマ TEOS 酸化膜などの層間絶縁膜（図示せず）を膜厚 400 nm 程度 CVD 法で堆積し、CMP 法で再び全面が平坦になるように平坦化を行う。これにより、メモリセル部と周辺回路部等の段差をなくす事ができる。

【0074】

この後、図示はしないが、所望の領域にコンタクト孔を開孔し、メタル配線を形成する。もし、必要ならば複数層のコンタクト、メタル配線層を形成し、パッシベーション膜を形成して、パッドコンタクトを開けて DRAM を完成させる、

本実施例では、W プラグ 23 と蓄積電極 27 との間にバリアメタル層として TiN 膜等を用いた例について述べたが、TiN 膜/Ti 膜の様な積層膜や WSi_2 膜、Nb 膜、Ti 膜等のように金属膜、あるいは、これらのシリサイド膜、又は、これらの窒化物膜（例えば WN 膜等）の化合物からなる導電膜を W プラグ 23 の溝の中の一部に埋め込み形成して用いる事が重要である。バリアメタル材料に求められる性質は、メタルプラグ材料（例えば W 膜や TiN 膜）と蓄積電極材（ SrRuO_3 膜や Ru 膜等）の反応バリア性と耐酸化性である。この様な性質を満たす材料であればここに記述していない膜でも使用する事ができる。

【0075】

本実施形態によれば、蓄積電極の側面部の表面が滑らかであるため、その側面部に成長するBST膜の結晶性が向上し、BSTの結晶に歪みが入ることを抑制することができる。BST膜の結晶性の向上により、キャパシタのリーク電流が抑制されると共に、BST膜の誘電率が安定するため、結果としてキャパシタ容量が向上する。

【0076】

なお、蓄積電極の上部平面はキャパシタ誘電体膜の配向性が側面に比べて劣るが、蓄積電極上部の面積の比率は15%と、側面部の面積比に比べて小さいので、側面部のBST膜の誘電率を向上させることによって、キャパシタの容量を向上させることができる。また、CVD法を用いて成膜を行うと、凸部の上面の膜厚が側面の膜厚に比べて厚くなるので、リーク電流の増加等を防止することができ、蓄積電極の上部のBST結晶の劣化の影響を小さく出来る。

【0077】

また、蓄積電極の側面底部において金属膜の結晶配向性が乱れる領域は、シリコン窒化膜28（絶縁膜）を形成してキャパシタとして用いない事により、蓄積電極側面のBST膜の特性（リーク電流、比誘電率等）の均一性が向上しDRAM素子としての歩留まりが向上する。

【0078】

なお、本発明の効果は、キャパシタ絶縁膜に結晶構造を用いる膜について有効であるので、 Ta_2O_5 膜、 $SrTiO_3$ 膜などの結晶構造を持つ誘電体膜でも良い。

【0079】

[第2の実施形態]

図8は、本発明の第2の実施形態に係わるスタック型DRAMのメモリセルの蓄積電極まわりのみを抽出した断面図である。なお、図8に示す断面図は、図1(a)のA-A'部の断面に対応した図である。

【0080】

本実施形態と第1の実施形態との違いは、蓄積電極の形状である。本実施形態では、蓄積電極27の底部は、TEOS酸化膜22の上部に形成されていたが、

蓄積電極 2 7 の底部の一部が T E O S 酸化膜 2 2 中に埋込形成されている。このようにすると、蓄積電極 2 7 側面の底部端面の結晶構造が揃いにくいところをキャパシタ形成部から除外することができるので、B S T 薄膜がより安定して形成される。

【 0 0 8 1 】

〔第 3 の実施形態〕

図 9 は、本発明の第 2 の実施形態に係るスタック型 D A R M のメモリセルの蓄積電極まわりのみを抽出した概略構成を示す断面図である。なお、図 9 に示す断面図は、図 1 (a) の A - A ' 部の断面に対応した図である。

【 0 0 8 2 】

本実施形態と第 1、第 2 の実施形態との違いは蓄積電極の構造の違いである。本実施形態のキャパシタ構造では、マスク層 4 3 が残存すると共に、蓄積電極 2 7 がマスク層 4 3 に形成されたホール 4 5 の内壁及び底面に沿って形成されていることである。このような蓄積電極 2 7 は、例えば $0.20\mu\text{m} \times 0.40\mu\text{m}$ 程度のホールに対して 30nm 程度の膜厚で電極材を堆積することによって形成することができる。

【 0 0 8 3 】

本実施形態の溝 (C o n c a v e) 型の蓄積電極構造における蓄積電極の形成方法についていかに説明する。図 1 0 は、本発明の第 3 の実施形態に係わるキャパシタの製造工程を示す工程断面図である。

【 0 0 8 4 】

先ず、図 1 0 (a) に示すように、蓄積電極が形成される領域のマスク層 4 3 にバリアメタルが露出するホールし、C V D 法を用いて蓄積電極材 2 7 を約 30nm の膜厚堆積する。この時、ホール内を蓄積電極材 2 7 で埋め込まないようにする。さらに、ホールの中の窪みに S O G 膜等のキャップ 1 0 1 を埋め込み (図 1 0 (b))、CMP 法によりマスク層 4 3 上のキャップ 1 0 1 及び蓄積電極材 2 7 をエッチング除去し、ホールの中のみにキャップ 1 0 1 を形成する (図 1 0 (c))。この時、蓄積電極 2 7 は溝内壁の蓄積電極側面と 2 つの平面部 (絶縁膜と同じ高さの平面部と溝底部の平面部) が存在する。

【0085】

次いで、図10（d）に示すように、キャップ101を除去する。その後、図10（e）に示すように、BST膜29、プレート電極30を形成し、キャパシタが完成する。

【0086】

このような構造にすると、蓄積電極の側面及び底面において結晶構造が揃っているように形成でき、第1の実施形態の場合と同じような効果があると共に、マスク層43を除去する必要が無いので、平坦性に優れた構造が実現できる。

【0087】

〔第4の実施形態〕

図11は、本発明の第4の実施形態に係るスタック型DRAMのメモリセルの蓄積電極まわりのみを抽出した概略構成を示す断面図である。尚、第3の実施形態との違いはマスク層43を除去して蓄積電極27の両面を使う、いわゆるシリンドー型の構造になっている事である。蓄積電極27の両側面及び底面表面では、BST膜29の結晶構造が揃うように出来るので、第1の実施形態と同じような効果があるのと同時に、キャパシタ形成面積を増加でき、蓄積電極27の高さを低減できる。

【0088】

この、構造は第3の実施形態に示した半導体装置の製造方法において、マスク層43を除去した後に、BST膜29を堆積すればよい。

【0089】

〔第5の実施形態〕

図12は、本発明の第5の実施形態に係わるスタック型DRAMのメモリセルの概略構成を示す図である。なお、図12（a）はDRAMの平面図、同図（b）A－A'部の断面図である。なお、図1と同一な部分には同一符号を付し、その詳細な説明を省略する。

【0090】

層間絶縁膜21、22上にバリアメタル24に接続する蓄積電極（下部電極）28が形成されている。蓄積電極27上には、絶縁体からなるSN（Storage N

de) キャップ膜 (キャップ膜) 2 9 が形成されている。なお、蓄積電極 2 7 の側部と SN キャップ膜 1 2 1 の側部は連続的に形成されている。

【 0 0 9 1 】

蓄積電極 2 7 が形成されていない T E O S 酸化膜 2 2 上にはシリコン窒化膜 2 8 が形成されている。蓄積電極 2 7, S N キャップ膜 1 2 1 及びシリコン窒化膜 2 8 の表面を覆うように、 $(B a, S r) T i O_3$ (B S T) 膜 2 9 が形成されている。B S T 膜 2 9 上に、表面が平坦化された $S r R u O_3$ 膜からなるプレート電極 (上部電極) 3 2 が形成されている。プレート電極 3 0 上に、P L キャップ膜 3 1 を介して層間絶縁膜 3 2 が形成されている。

【 0 0 9 2 】

本実施形態のキャパシタによれば、以下のような作用効果を有する。

1. 蓄積電極 2 7 の側部と S N キャップ膜 1 2 1 の側部は連続的に形成されているので、蓄積電極の側面及び上部平面の間にできる鋭角コーナーによる電界集中を防止できるのでキャパシタ絶縁膜のリーク電流を低減することができる。

【 0 0 9 3 】

2. 蓄積電極の上部平面が絶縁膜で覆われているので、キャパシタ絶縁膜を化学気相成長法で成膜する場合、化学気相成長膜が蓄積電極上部平面部に側面に比べて厚膜に成膜されることを防止することができるため、キャパシタ絶縁膜のカバレッジ (蓄積電極側面における膜厚均一性) が向上することによりキャパシタ絶縁膜の薄膜化を実現でき、キャパシタ容量を増加させることができる。

【 0 0 9 4 】

3. 蓄積電極の側面において、B S T 膜の配向性が変化せずに揃っているので、キャパシタ絶縁膜の特性 (リーク電流、比誘電率等) の均一性が向上し D R A M 素子としての歩留まりが向上する。

【 0 0 9 5 】

次に、図 1 2 に示した蓄積電極構造を有する D R A M メモリセルの製造工程について説明する。図 1 3, 図 1 4 は、図 1 2 に示したスタック型 D R A M のメモリセルの製造工程を示す工程図である。

【 0 0 9 6 】

先ず、第 1 の実施形態において図 2 (a) ～図 6 (i) を用いて説明した工程と同様な工程を経て、図 1 3 (a) に示す構造を形成する。次いで、図 1 3 (b) に示すように、マスク層 4 3 の表面に露出した蓄積電極 2 7 を例えばウェットエッチング法等を用いて、約 5 0 n m 程度エッチバック（リセス）を行った後、CVD 法を用いてシリコン窒化膜を堆積する。次に、CMP 法等を用いて平坦化しつつマスク層 4 3 上のシリコン窒化膜を除去することにより、蓄積電極 2 7 が除去された窪みに SN キャップ膜 1 2 1 を選択的に埋め込み形成する。

【 0 0 9 7 】

SN キャップ膜 1 2 1 の膜厚は後の工程で形成する BST 膜の膜厚や結晶の配向性の分布（例えば図 2 0 参照）に依存し、おおよそ BST 膜厚の 1 倍以上が望ましい。SN キャップ膜 1 2 1 の膜厚を BST 膜の 1 倍以上にすることによって、BST 膜の配向性が蓄積電極の上部端部で変化することを防止することができる。

【 0 0 9 8 】

次いで、図 1 4 (c) に示すように、例えば周辺回路部のようにマスク層 4 3 を除去したくない領域をレジスト膜で覆った後、マスク層 4 3 を例えば NH_4F 液等のウェットエッチング溶液を用いて選択的に除去した後、レジスト膜を除去する。このとき、ウェットエッチングはマスク層 4 3 の下のシリコン窒化膜 2 8 でエッチングがストップする。この様にすると、メモリセル部の蓄積電極 2 7 表面の高さとメモリセル部以外のマスク層 4 3 の表面の高さが揃い、蓄積電極 2 7 の有無によるメモリセル領域とメモリセル領域以外の領域の段差をほぼなくすることができる。スタック構造の DRAM 製造工程においては、段差を小さくすることが重要な工程である。

【 0 0 9 9 】

また、このとき、蓄積電極 2 7 の上部平面には SN キャップ膜 1 2 1 が残置され蓄積電極 2 7 の上部平面のコーナー角度は鋭角であるが蓄積電極 2 7 の側面は SN キャップ膜 1 2 1 の存在により側面のみの平面状態となり、電界集中の問題を回避できる構造となっている。即ち、蓄積電極 2 7 の形状による電界集中を緩和することができ、キャパシタ絶縁膜の耐圧劣化に与える影響を小さくすること

ができる。また、蓄積電極 2 7 の側面の表面はマスク層 4 3 のエッチングされた溝の表面が転写されたものになる。即ち、従来メタルなどの場合に困難であったエッチング面の制御によらず、エッチング面が比較的滑らかな酸化膜エッチング面が蓄積電極面に転写されることになり、滑らかな蓄積電極側壁面を実現することができる。このことにより、蓄積電極側面の荒れによる電界集中によるキャパシタ絶縁膜でのリーク電流の増加を抑制することができる。また、蓄積電極 2 7 の底部側面にはシリコン窒化膜 2 8 が存在しており、このシリコン窒化膜 2 8 によって蓄積電極 2 7 の底部コーナーの影響は回避されている。即ち、キャパシタの電極としては蓄積電極の側面のみを使用することになる。

【 0 1 0 0 】

そして、図 1 に示すように、BST 膜 2 9 を例えば CVD 法で全面に 20 nm 程度の膜厚になるように堆積し、さらに必要であれば BST 膜の結晶化アニールを行い、さらに例えば SrRuO_3 膜を例えば CVD 法で全面に 40 nm 程度堆積して、キャパシタの上部電極：プレート電極 3 0 を形成する。さらに全面に PL (プレート) キャップ膜 3 1 として例えば TiN 膜等を 50 nm 程度の膜厚例えばスパッタ法などで形成する。その後、上部電極 (プレート電極 3 0 と PL キャップ膜 3 1) を通常のリソグラフィと RIE 法などを用いてパターニングする。このとき、周辺回路領域などのようにプレート電極がない領域とメモリセル領域の間に段差が発生することになる。

【 0 1 0 1 】

ここで、プレート電極 3 0 としては、 SrRuO_3 膜の代わりに、例えば Ru 膜、Pt 膜、Re 膜、Ir 膜、Os 膜、Pd 膜、Rh 膜、Au 膜などの貴金属導電膜、又はそれらの金属酸化膜、 SrRuO_3 膜以外のペロブスカイト型の導電性金属酸化膜等を用いることが可能である。さらに、全面に例えばプラズマ TEOS 酸化膜などの層間絶縁膜 3 2 を膜厚 400 nm 程度 CVD 法で堆積し、CMP 法で再び全面が平坦になるように平坦化を行う。これにより、メモリセル部と周辺回路部などの段差をなくすことができる。

【 0 1 0 2 】

この後、図示はしないが、所望の領域にコンタクト孔を開孔し、メタル配線を

形成する。もし、必要ならば複数層のコンタクト、メタル配線を形成し、パッシベーション膜を形成して、パッドコンタクトを開けてDRAMを完成させる。

【0103】

本実施形態では、Wプラグ23と蓄積電極27との間にバリアメタル層としてTiN膜などの例について述べたが、TiN膜/Ti膜のような積層膜やWSi₂膜、Nb膜、Ti膜などのように金属膜、或いはこれらのシリサイド膜、又はこれらの窒化物膜（例えばWN膜など）の化合物からなる導電膜をWプラグ23の溝の中の一部に埋め込み形成して用いることが重要である。バリアメタル材料に求められる性質は、メタルプラグ材料（例えばW膜やTiN膜）と蓄積電極材（SrRuO₃膜やRu膜など）の反応バリア性と耐酸化性である。このような性質を満たす材料であればここに記述していないまでも使用することができる。

【0104】

本実施形態のキャパシタセル、上述したような蓄積電極構造をとることにより、

1.蓄積電極27の側部とSNキャップ膜121の側部は連続的に形成されているので、蓄積電極の側面及び上部平面の間にできる鋭角コーナーによる電界集中を防止できるのでキャパシタ絶縁膜のリーク電流を低減することができる。

【0105】

2.蓄積電極の上部平面が絶縁膜で覆われているので、キャパシタ絶縁膜を化学気相成長法で成膜する場合、化学気相成長膜が蓄積電極上部平面部に側面に比べて厚膜に成膜されることを防止することができるため、キャパシタ絶縁膜のカバレッジ（蓄積電極側面における膜厚均一性）が向上することによりキャパシタ絶縁膜の薄膜化を実現でき、キャパシタ容量を増加させることができる。

【0106】

なお、蓄積電極の上面とプレート電極との間には、絶縁膜として(Ba, Sr)TiO₃膜とキャップ膜の2種類の膜が形成され、膜厚が側部より厚くなっており、キャパシタ容量の低下が懸念される。しかし、スタック型のキャパシタの容量の90%以上はキャパシタの側部であり、上面の容量は小さいので、キャップ膜の形成による電解集中及びリーク電流の抑制により、キャパシタ容量が増大

する。

【0 1 0 7】

3.蓄積電極の側面において、BST膜の結晶粒の粒界方向が変化せずに揃っているため、キャパシタ絶縁膜の特性（リーク電流、比誘電率等）の均一性が向上しDRAM素子としての歩留まりが向上する。

などの効果がある。

【0 1 0 8】

〔第6の実施形態〕

図15は、本発明の第6の実施形態に係わるスタック型DRAMのメモリセルの概略構成を示す図である。なお、図15は、図1(a) A-A'部の断面図に相当する。なお、本実施形態は、蓄積電極の形成方法が第5の実施形態と異なる。

【0 1 0 9】

本実施形態は、第1の実施形態の図4(f)を用いて説明した工程の後、図15(a)に示すように、全面に SrRuO_3 等からなる蓄積電極材27とSNキャップ膜材121を例えばスパッタ法やCVD法により堆積する。次いで、図15(b)に示すように、蓄積電極パターンのレジスト膜151を形成した後、SNキャップ膜材121、蓄積電極27に対してRIE法やCDE法やウェットエッチング法などによるエッチングを行い、SNキャップ膜121及び蓄積電極27を形成する。このようにすると、SNキャップ膜121と蓄積電極27とを自己整合的に同じ形状に加工できる。その後、レジスト膜151を剥離した後、BST膜、プレート電極を順次成膜する。

【0 1 1 0】

第5の実施形態では蓄積電極パターンのホールに蓄積電極材を埋め込み蓄積電極材を埋め込み蓄積電極を形成する例であったが、本実施形態では蓄積電極をレベンソンマスクで加工する例である。いずれにしても蓄積電極の上部平面部にSNキャップ膜を形成し、コーナーの電界集中を防止することが可能である。

【0 1 1 1】

〔第7の実施形態〕

図 1 6 は、本発明の第 7 の実施形態に係わるスタック型 D R A M のメモリセルの蓄積電極周りのみを抽出した部分の概略構成を示す断面図である。なお、本実施形態は、蓄積電極の構造が第 5 及び第 6 の実施形態と異なる。

【 0 1 1 2 】

第 5 及び第 6 の実施形態において、蓄積電極の上部平面は S N キャップ膜が存在するので蓄積電極の上部コーナーの電界集中は防止することができる。しかし、蓄積電極の底部コーナーにおける B S T 膜の結晶の配向性の変化による B S T 膜リーク電流の増加が懸念される。

【 0 1 1 3 】

このため、本実施形態では、蓄積電極 2 7 の側面の延長上の T E O S 酸化膜 2 2 を蓄積電極 2 7 に沿って掘り込み、蓄積電極 2 7 の側面が、S N キャップ膜 1 2 1 と T E O S 酸化膜 2 2 に挟まれて完全に平面となるような構造を実現している。

【 0 1 1 4 】

製造方法としては、蓄積電極 2 7 の加工時に引き続いて、T E O S 酸化膜 2 2 を例えば B S T 膜 2 9 の膜厚の 1 倍から 3 倍程度例えば R I E 法を用いてエッチングする。

【 0 1 1 5 】

このようにすると、蓄積電極 2 7 の側面が上部も下部も絶縁膜に挟まれた構造となり、側面は連続した平面構造となり、B S T 膜の結晶化時にも結晶の配向性は均一に実現でき、配向性の変化による B S T 膜のリーク電流を著しく低減することができる。

【 0 1 1 6 】

【第 8 の実施形態】

図 1 7 は、本願発明の第 8 の実施形態に係わるスタック型 D R A M のメモリセルの蓄積電極周りのみを抽出した部分の概略構成を示す断面図である。

【 0 1 1 7 】

本実施形態においては、溝 (C o n c a v e) 型の蓄積電極構造における S N キャップ膜の形成方法について提案する。

図 1 8 は、図 1 7 に示すスタック型 D R A M の製造工程を示す工程断面図である。

【 0 1 1 8 】

図 1 0 (c) を用いて説明した工程の後、図 1 8 (a) に示すように、蓄積電極材 2 7 を例えばウェットエッチング法等を用いて選択的にエッチバック（リセス）を行い、上面を約 4 0 n m 程度後退させる。次いで、全面にシリコン窒化膜等 1 2 1 を C V D 法で堆積し（図 1 8 (b) ）、引き続き C M P 法を用いてマスク層 4 3 と同じ高さの平面部の領域にのみ S N キャップ膜 1 2 1 を選択的に形成する（図 1 8 (c) ）。この後、S O G 膜を除去し（図 1 8 (d) ）、B S T 膜 2 9 、プレート電極 3 0 を形成し（図 1 8 (e) ）、キャパシタが完成する。

【 0 1 1 9 】

このようにすると、C o n c a v e 型の蓄積電極において蓄積電極の上部側面が S N キャップ膜により平坦になり、電界の集中の影響を緩和することができる。

【 0 1 2 0 】

尚、上記実施形態ではキャパシタ絶縁膜として B S T 膜の例を述べたが、リーク電流特性や膜の結晶性が下地の蓄積電極の結晶構造の影響を受ける高誘電率を持つ絶縁膜であれば良いので、他の膜、例えば $P b (Z r, T i) O_3$ 膜、 $S r T i O_3$ 膜、 $T a_2 O_5$ 膜等でも良い。

【 0 1 2 1 】

なお、本発明は、上記実施形態に限定されるものではない。例えば、なお、上記実施形態では、キャパシタ絶縁膜として B S T 膜の例を述べたが、高誘電率を持つ絶縁膜であれば良いので、ほかの膜、例えば $P b (Z r, T i) O_3$ 膜や $S r T i O_3$ 膜などでも良い。

その他、本発明は、その要旨を逸脱しない範囲で、種々変形して実施することが可能である。

【 0 1 2 2 】

【発明の効果】

以上説明したように本発明によれば、蓄積電極の側面におけるキャパシタ誘電

体膜（BST膜）の結晶性を向上できるのでキャパシタ誘電体膜の誘電率を安定して形成でき、その結果キャパシタ容量を安定して向上できる。

【0123】

また、前記下部電極の上部表面の少なくとも端部と前記キャパシタ絶縁膜との間に、絶縁体材料から構成された少なくとも1層のキャップ膜が形成されていることによって、下部電極コーナー部における電界集中及びキャパ絶縁膜の配向性の変化が抑制され、キャパシタ容量の増大を図り得る。

【図面の簡単な説明】

【図1】

第1の実施形態に係わるスタック型DRAMのメモリセルの概略構成を示す図

【図2】

図1に示したスタック型DRAMのメモリセルの製造工程を示す工程断面図。

【図3】

図1に示したスタック型DRAMのメモリセルの製造工程を示す工程断面図。

【図4】

図1に示したスタック型DRAMのメモリセルの製造工程を示す工程断面図。

【図5】

図1に示したスタック型DRAMのメモリセルの製造工程を示す工程断面図。

【図6】

図1に示したスタック型DRAMのメモリセルの製造工程を示す工程断面図。

【図7】

図1に示したスタック型DRAMのメモリセルの製造工程を示す工程断面図。

【図8】

第2の実施形態に係わるスタック型DRAMのメモリセルの概略構成を示す断面図。

【図9】

第3の実施形態に係わるスタック型DRAMのメモリセルの概略構成を示す断面図。

【図 1 0】

図 9 に示したスタック型 D R A M のメモリセルの製造工程を示す工程断面図。

【図 1 1】

第 4 の実施形態に係わるスタック型 D R A M のメモリセルの概略構成を示す断面図。

【図 1 2】

第 5 実施形態に係わるスタック型 D R A M のメモリセルの概略構成を示す図。

【図 1 3】

図 1 2 に示したスタック型 D R A M のメモリセルの製造工程を示す工程断面図。

【図 1 4】

図 1 2 に示したスタック型 D R A M のメモリセルの製造工程を示す工程断面図。

【図 1 5】

第 6 実施形態に係わるスタック型 D R A M のメモリセルの概略構成を示す図。

【図 1 6】

第 7 実施形態に係わるスタック型 D R A M のメモリセルの概略構成を示す図。

【図 1 7】

第 8 実施形態に係わるスタック型 D R A M のメモリセルの概略構成を示す図。

【図 1 8】

図 1 7 に示したスタック型 D R A M のメモリセルの製造工程を示す工程断面図。

【図 1 9】

従来のスタック型 D R A M のメモリセルの概略構成を示す図。

【図 2 0】

スタック型 D R A M のメモリセルの問題点を説明する図。

【符号の説明】

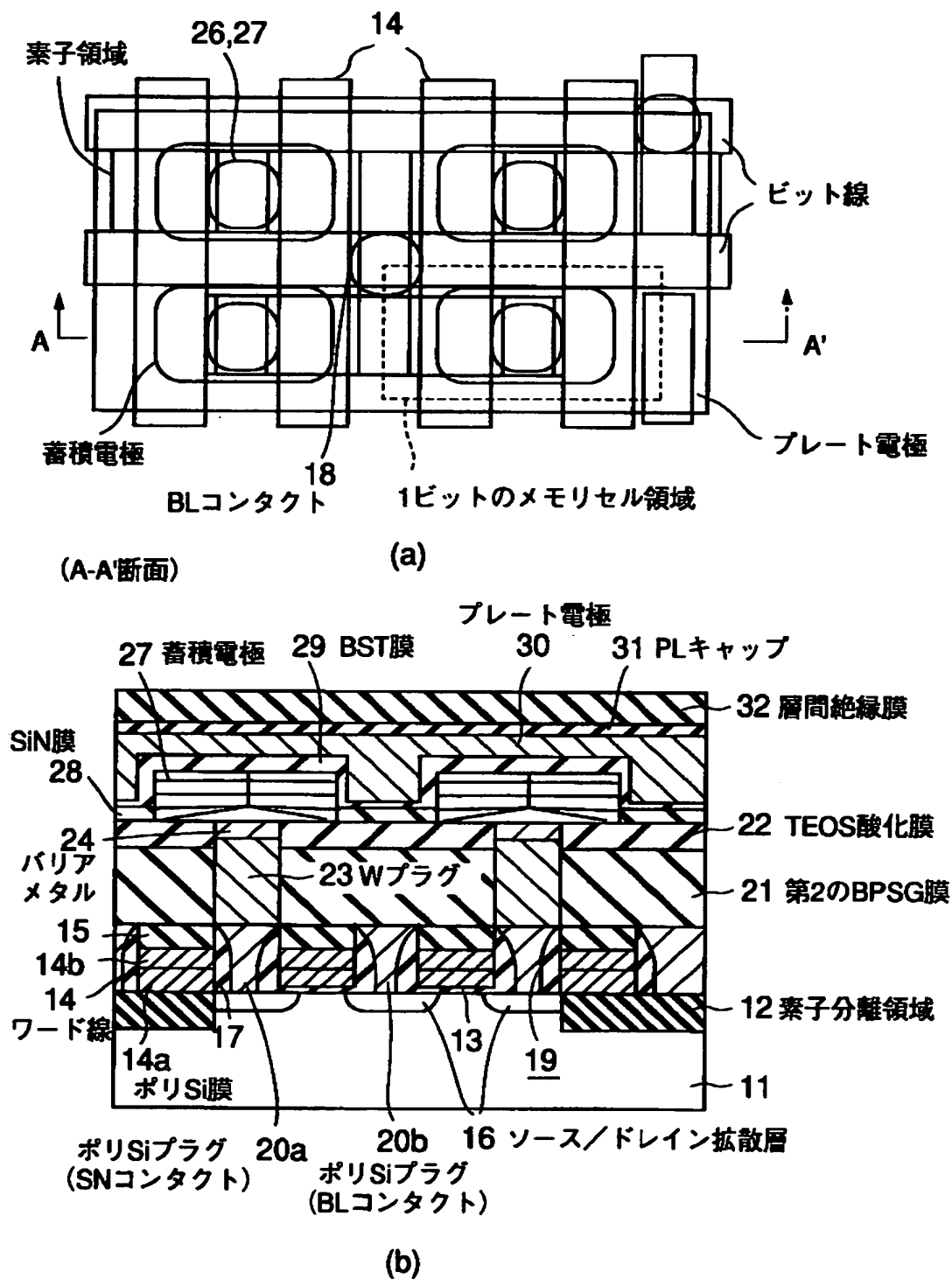
1 1 …シリコン基板

1 2 …素子分離領域

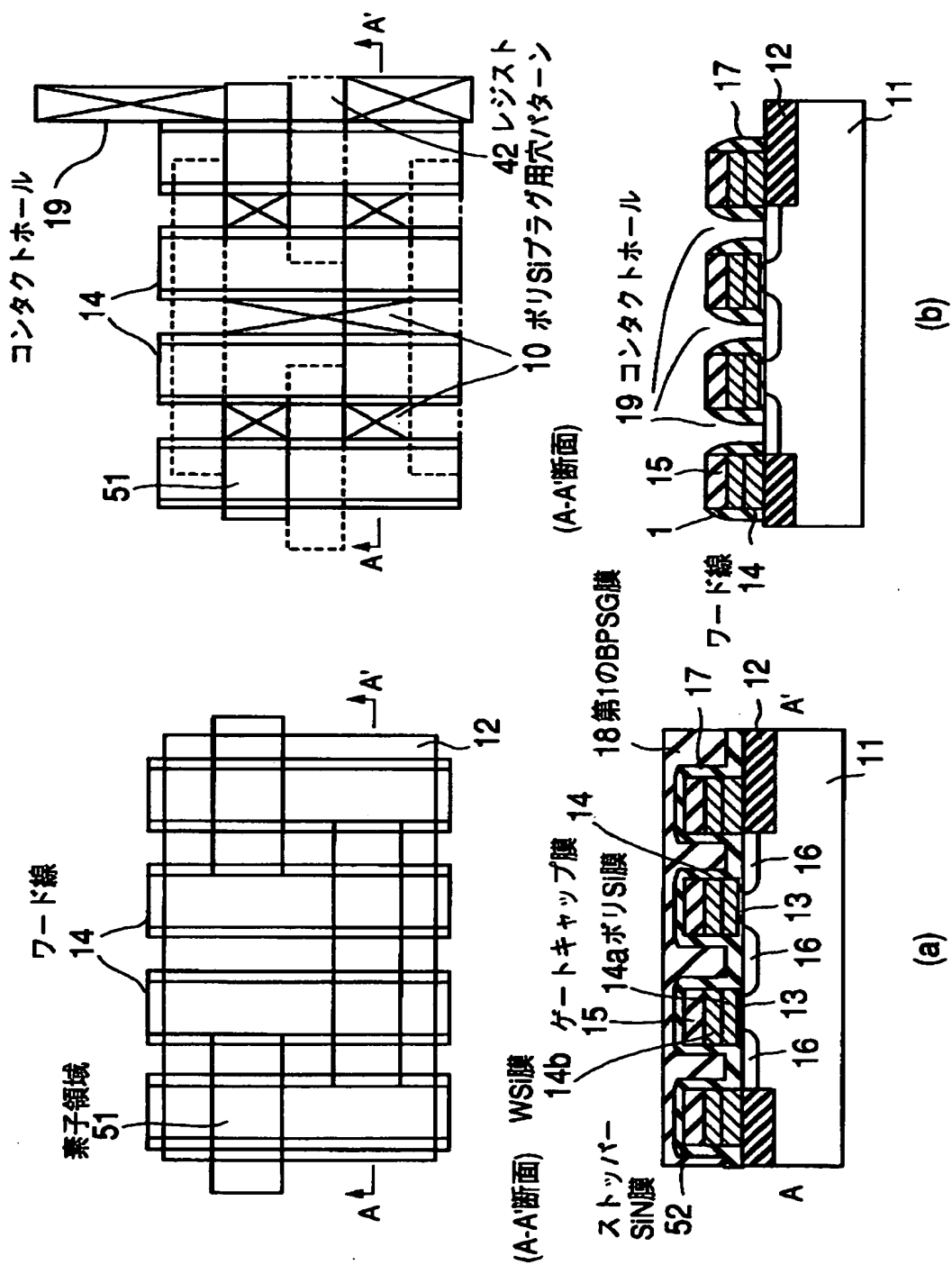
- 1 3 …ゲート酸化膜
- 1 4 …ゲート電極
- 1 5 …ゲートキャップ層
- 1 6 …ドレイン拡散層
- 1 7 …シリコン窒化膜
- 1 8 …第 1 の B P S G 膜
- 1 9 …コンタクトホール
- 2 0 …ポリシリコンコンタクト
- 2 1 …第 2 の B P S G 膜
- 2 2 …T E O S 酸化膜
- 2 3 …W プラグ
- 2 4 …バリアメタル
- 2 5 …B L コンタクトプラグ
- 2 6 …ビット線
- 2 7 …蓄積電極
- 2 7 …蓄積電極材
- 2 8 …シリコン窒化膜
- 2 9 …B S T 膜
- 3 0 …プレート電極
- 3 1 …P L キャップ膜
- 3 2 …層間絶縁膜
- 4 1 …素子領域
- 4 2 …レジスト膜
- 4 3 …マスク層
- 4 4 …レジスト膜
- 4 5 …ホール
- 1 2 1 …S N キャップ膜

【書類名】 図面

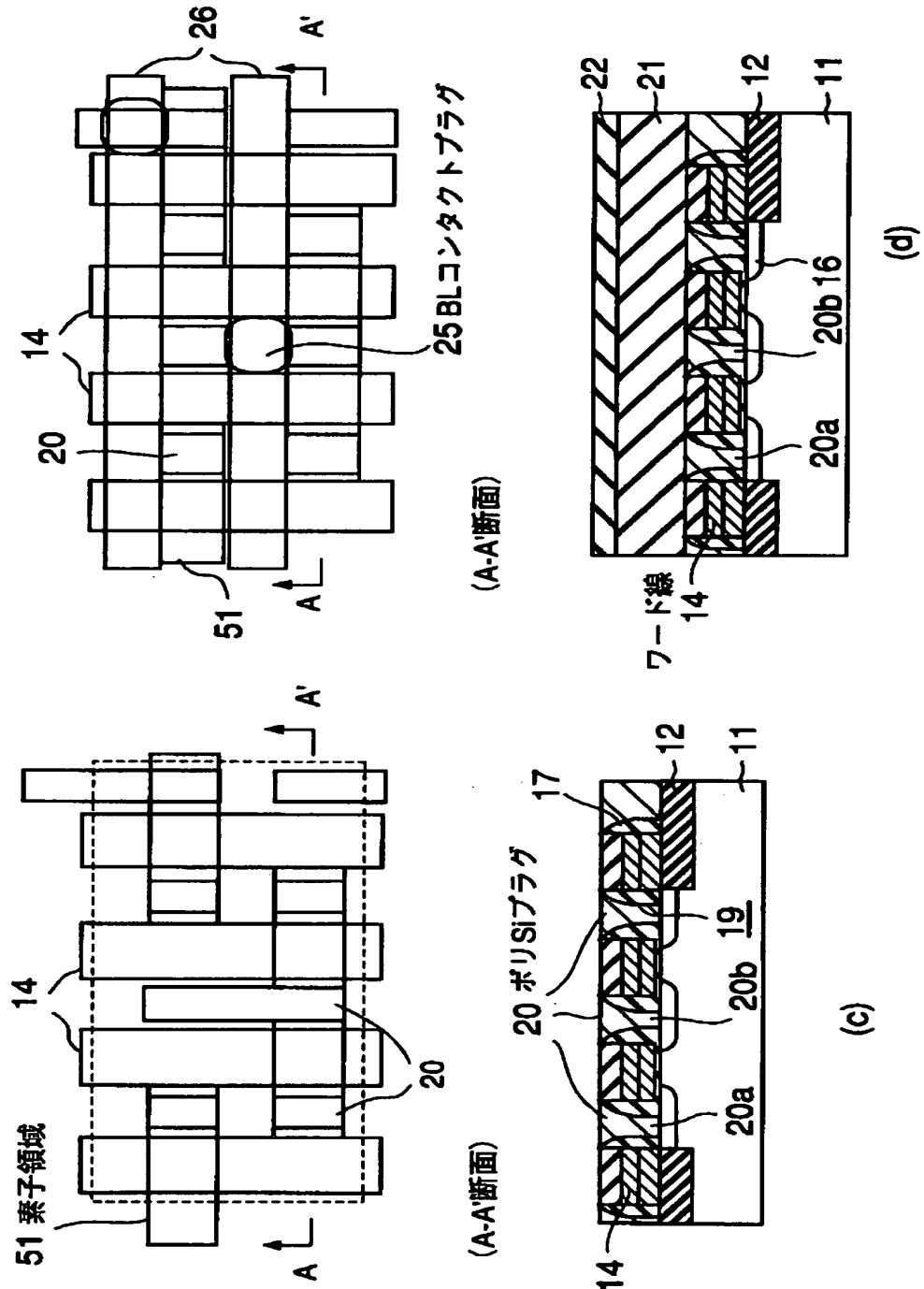
【図 1】



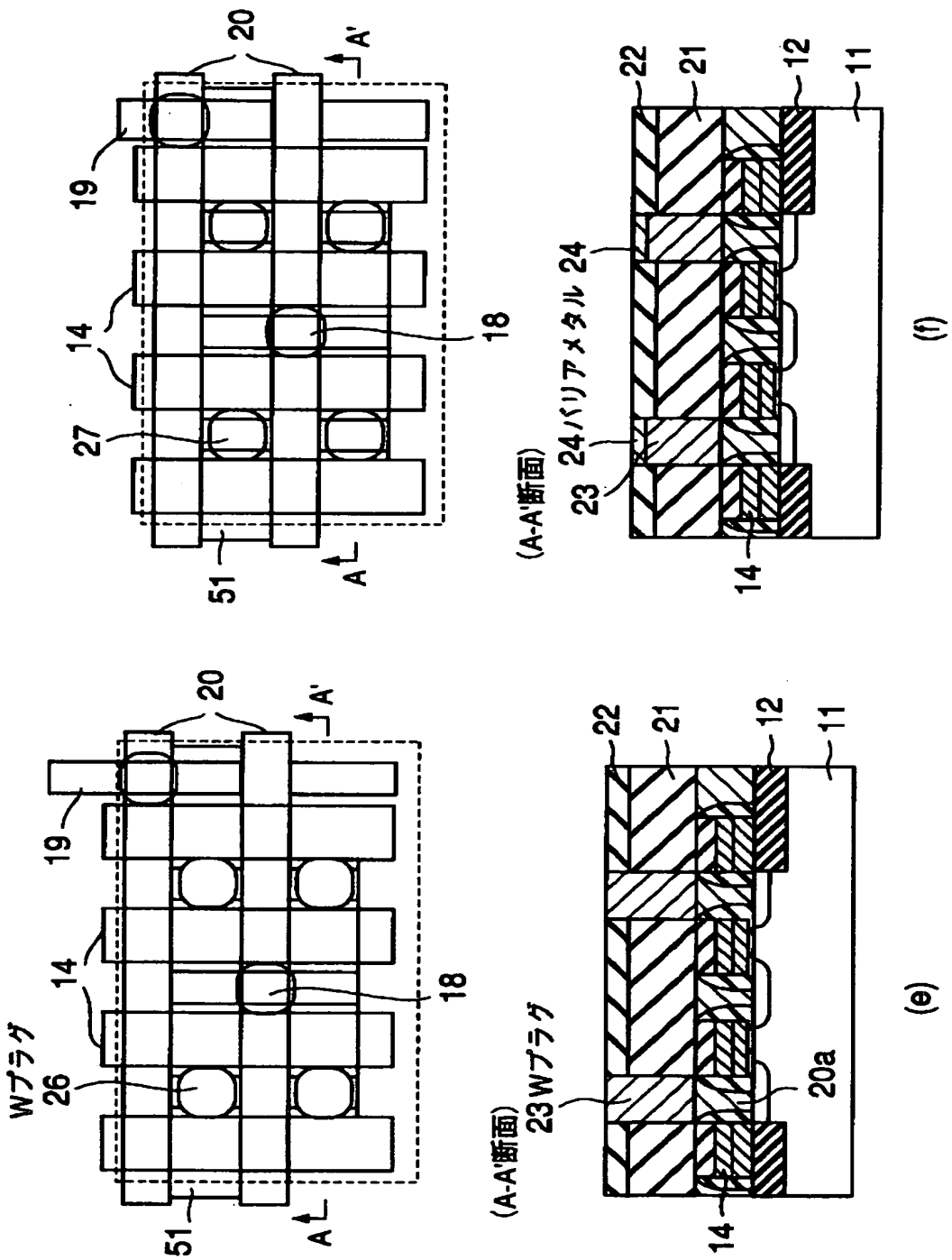
【図 2】



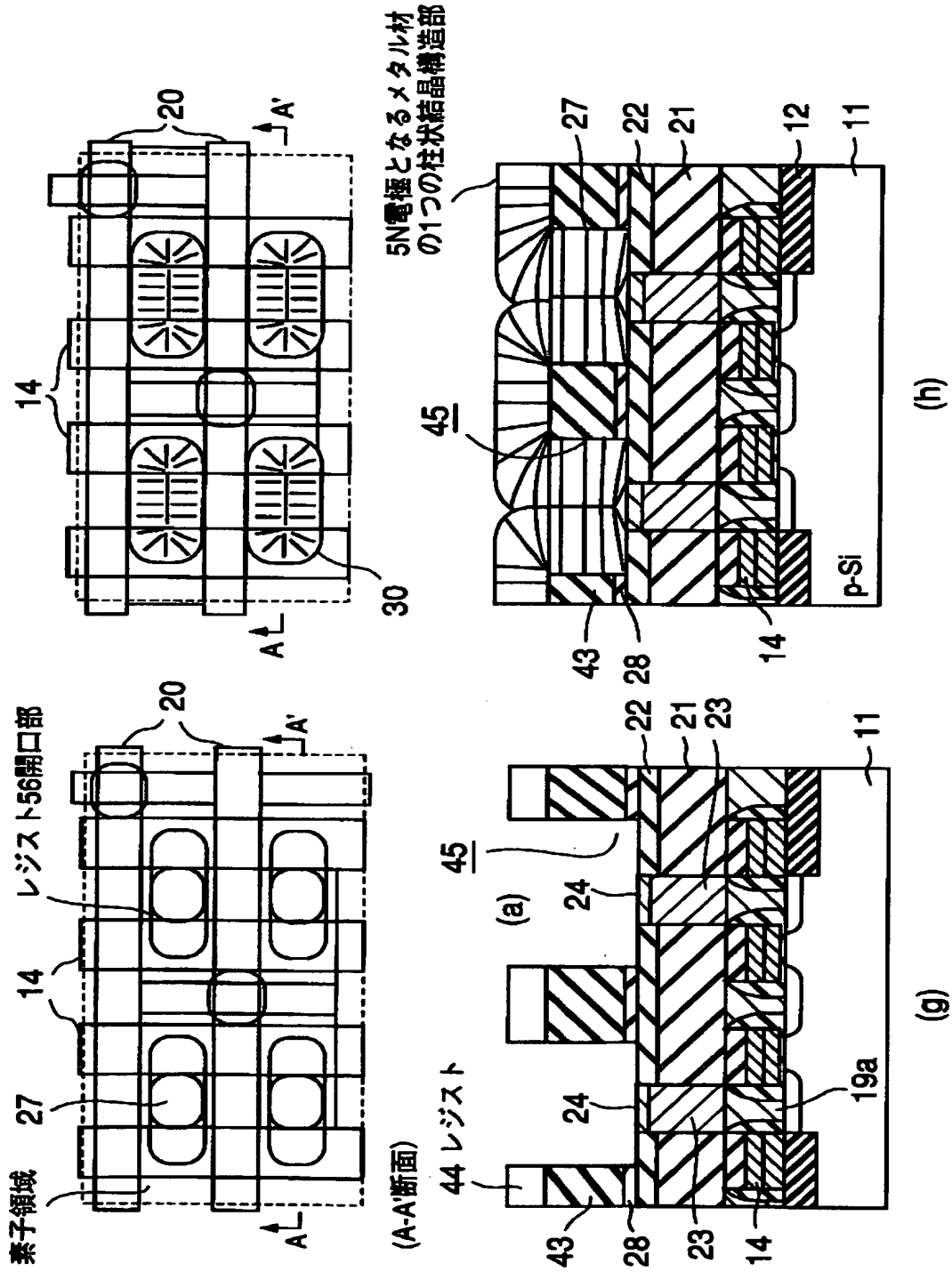
【図 3】



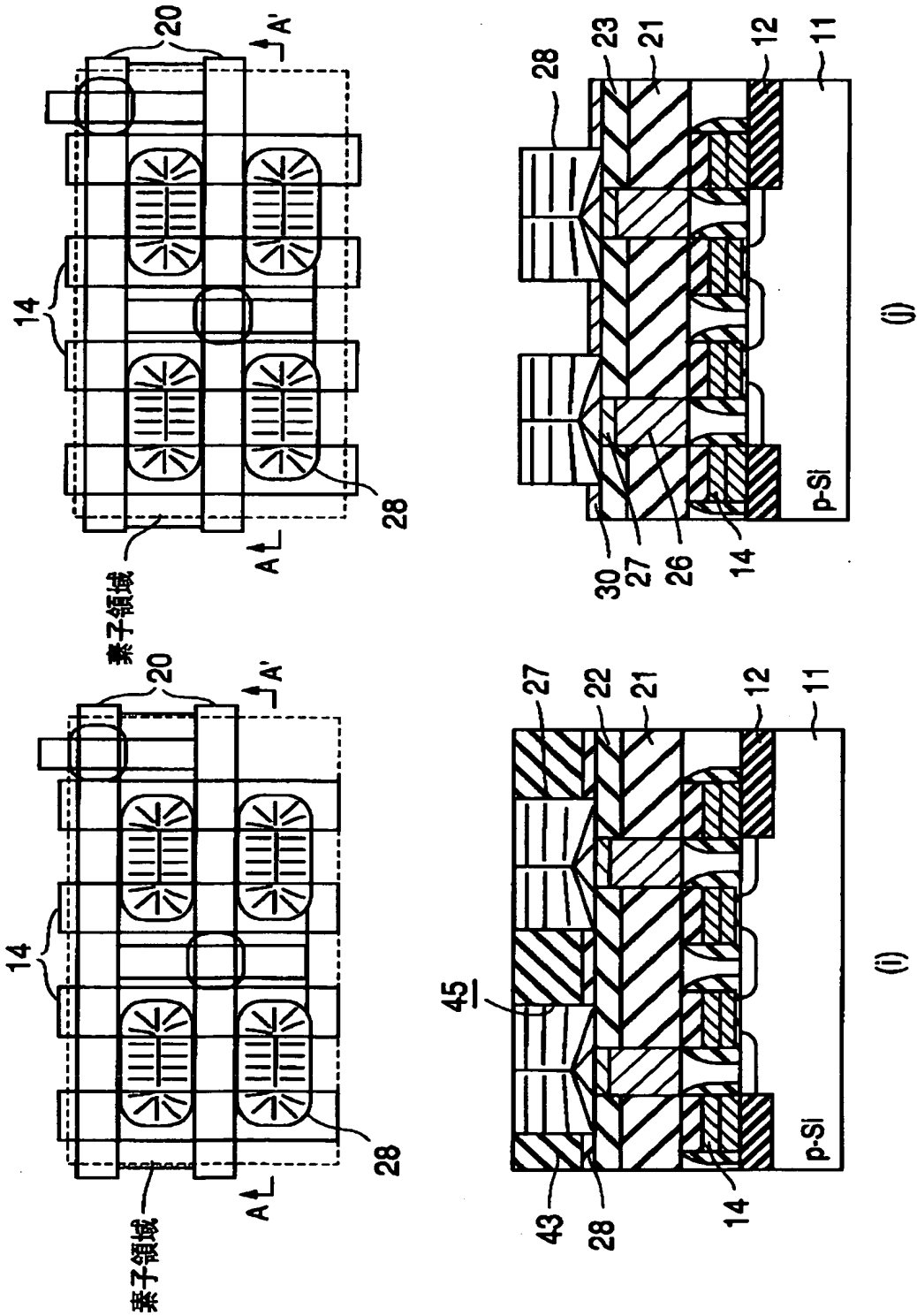
【図 4】



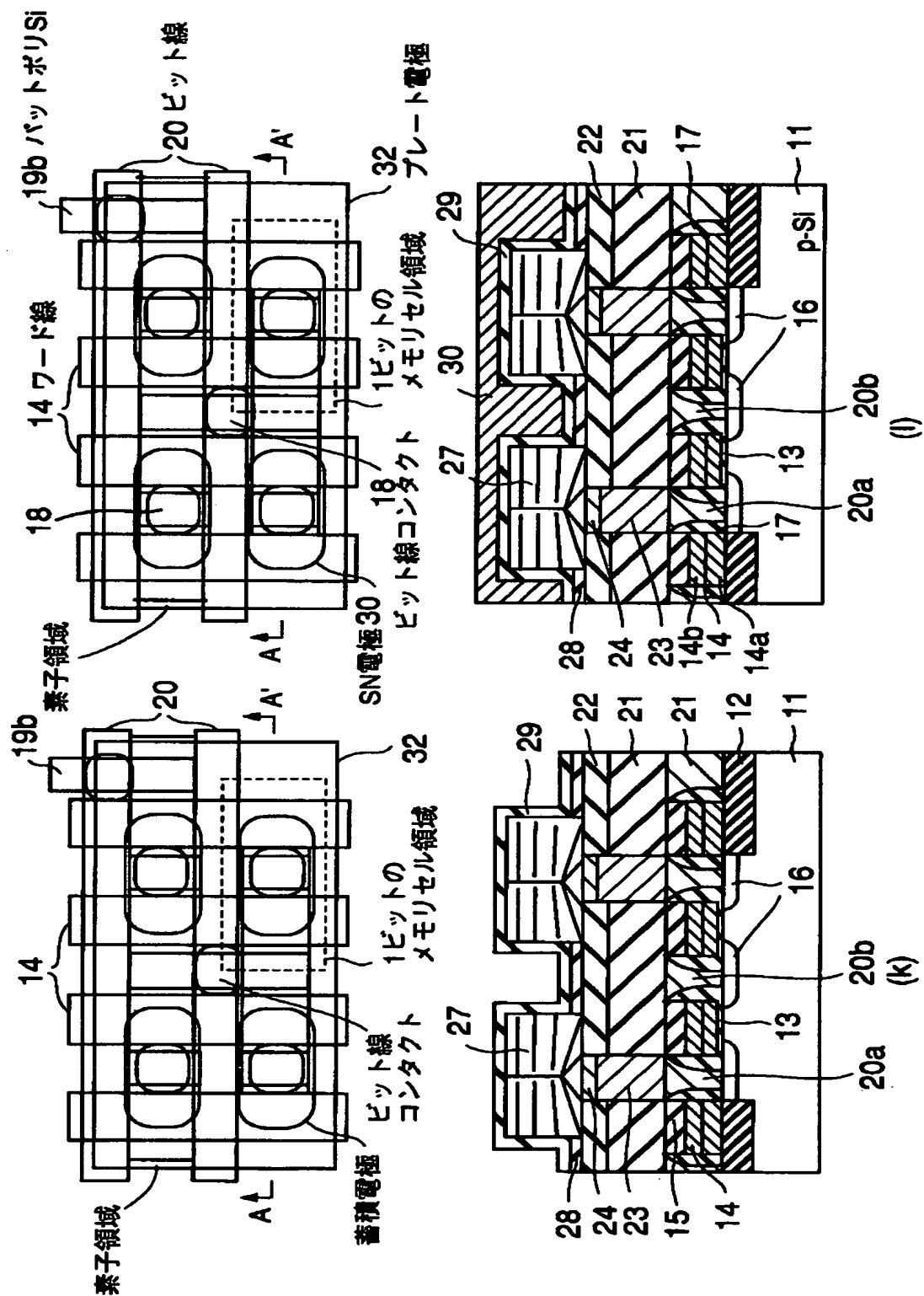
【図 5】



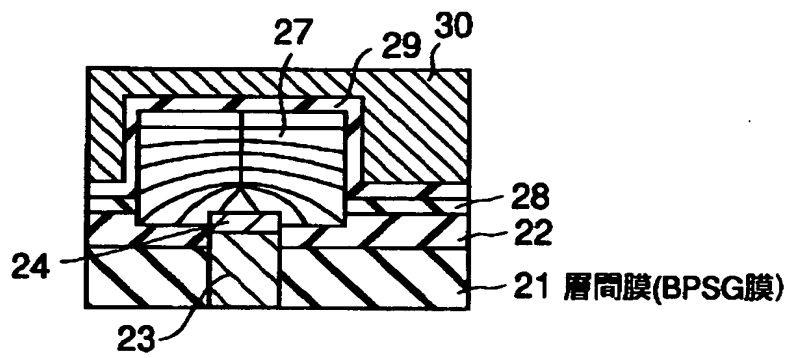
【図 6】



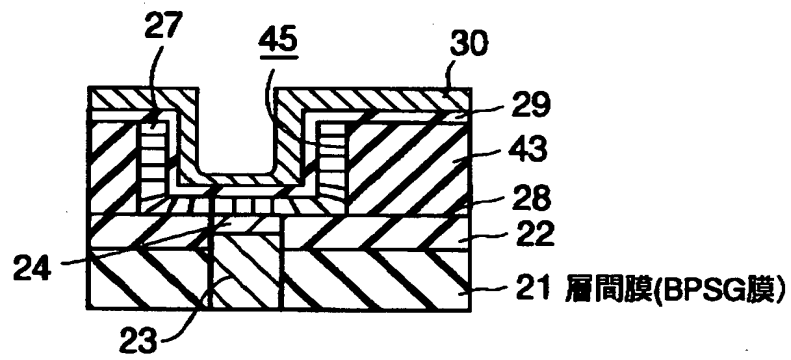
【図 7】



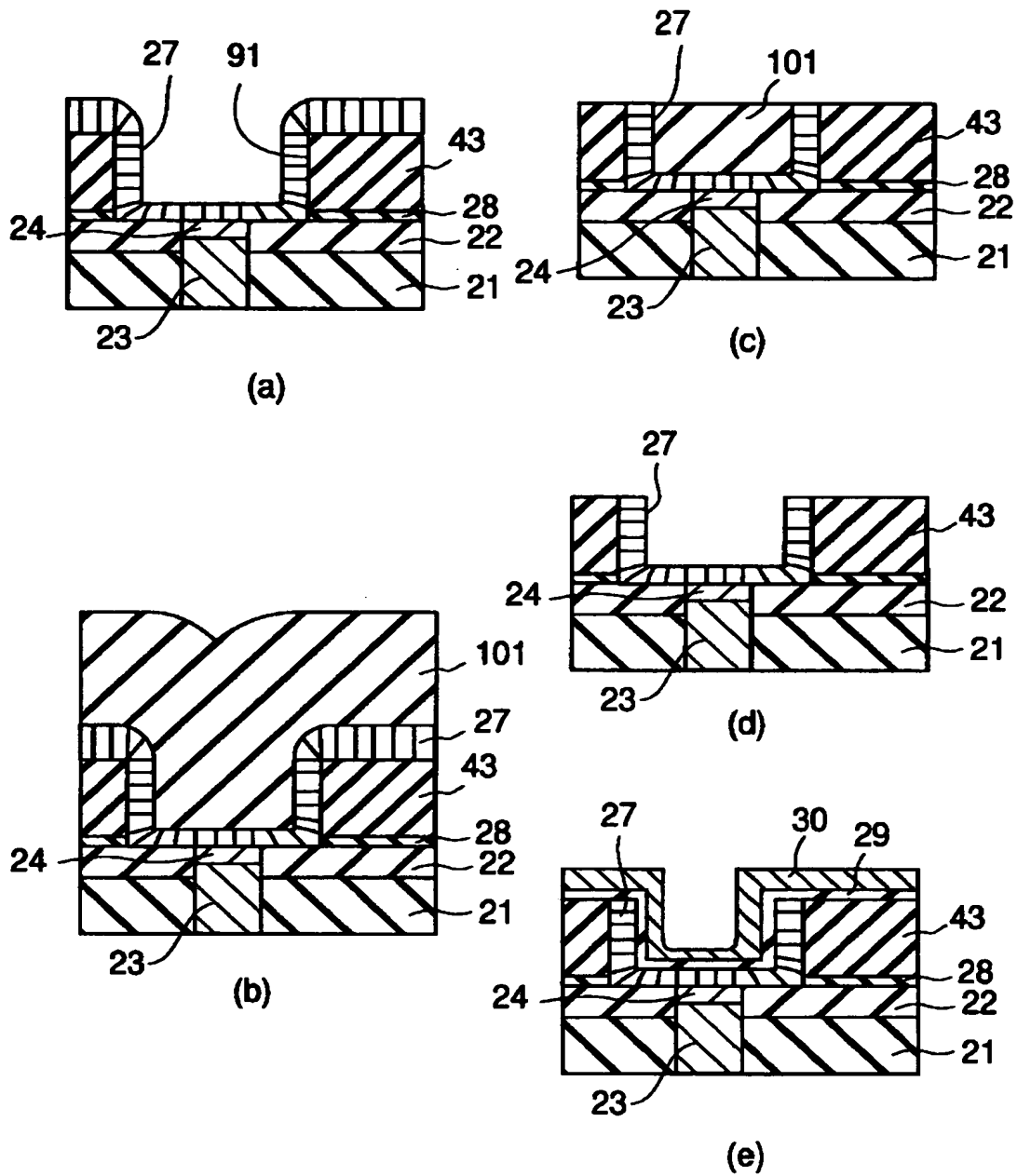
【図 8】



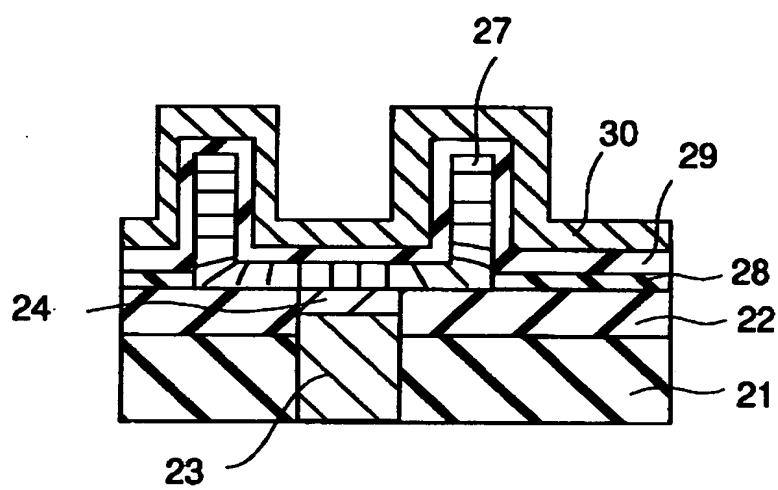
【図 9】



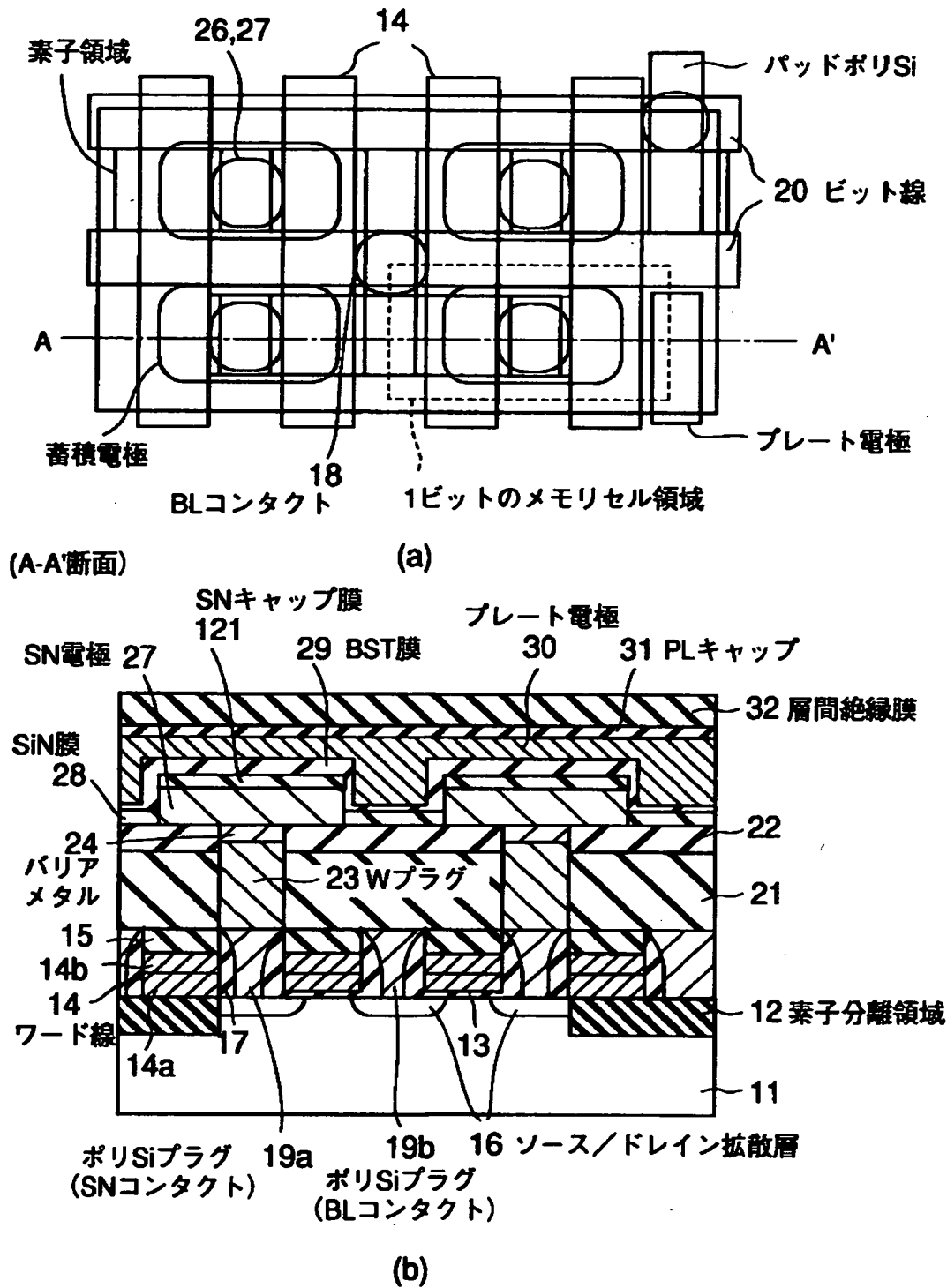
【図 1 0】



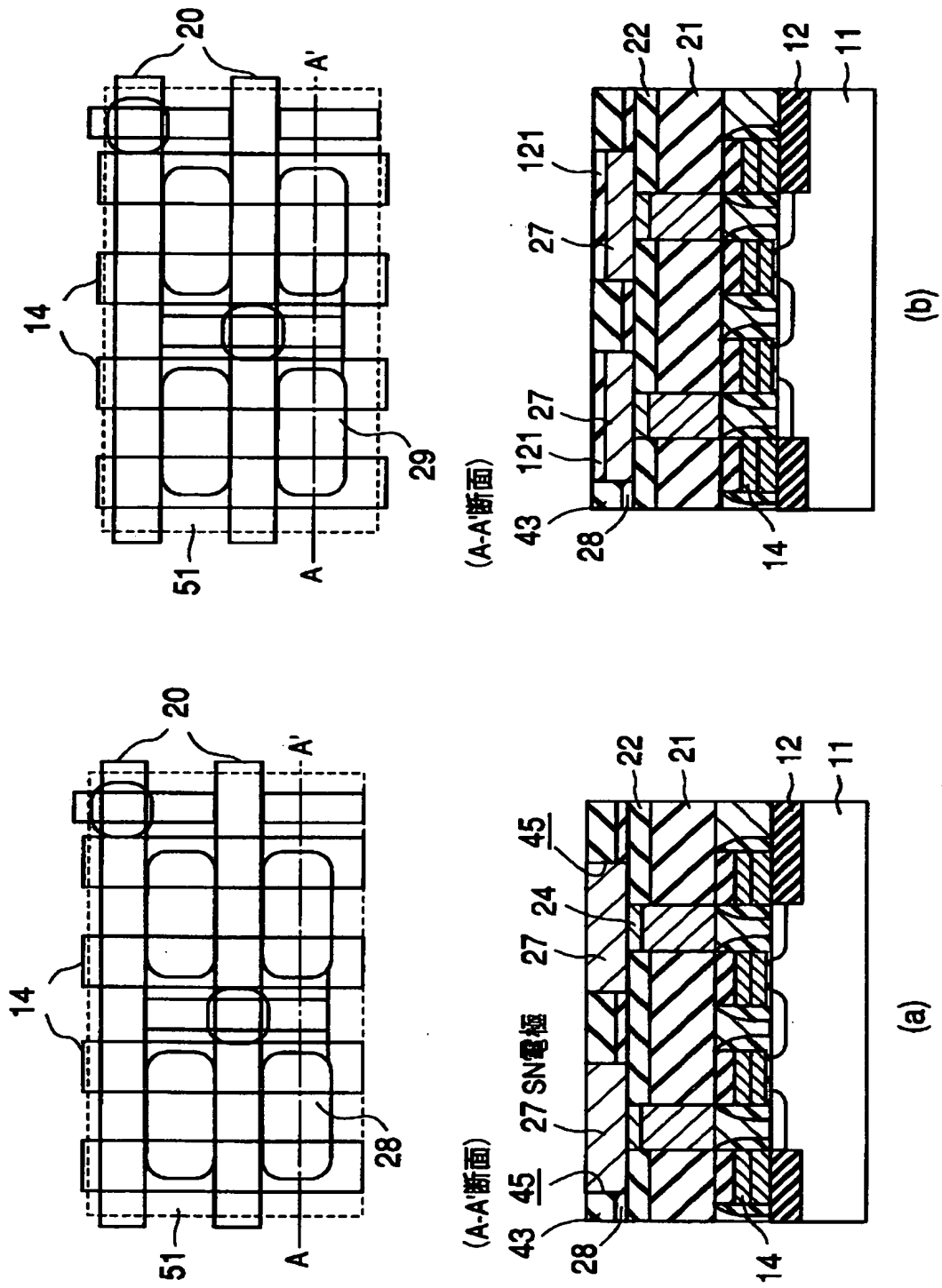
【図 1 1】



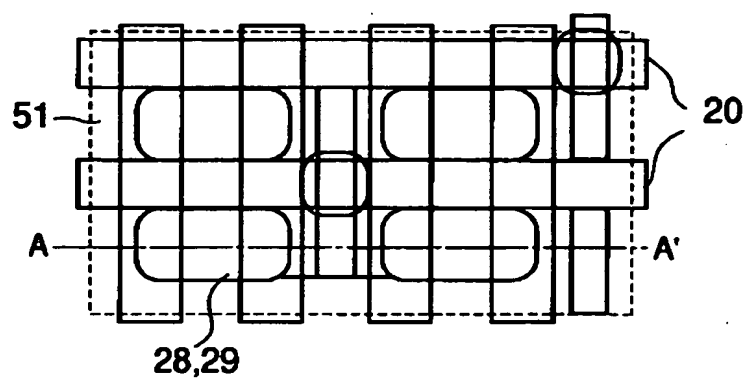
【図 1 2】



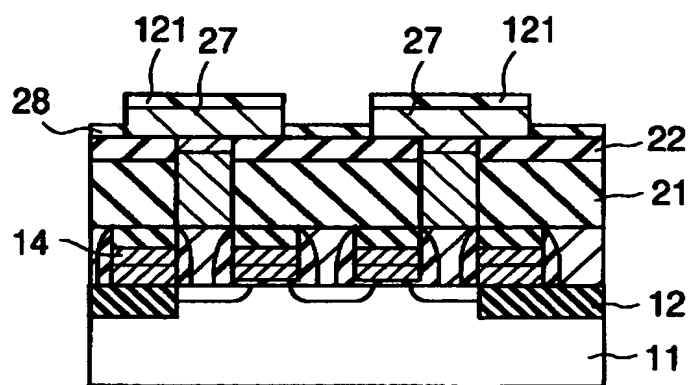
【図 1 3】



【図 1 4】

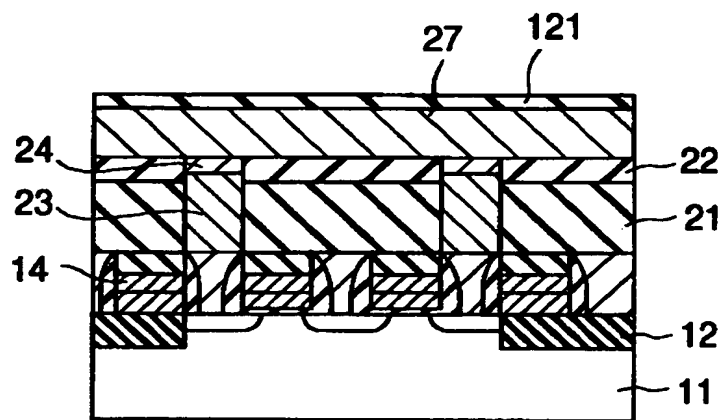


(A-A'断面)

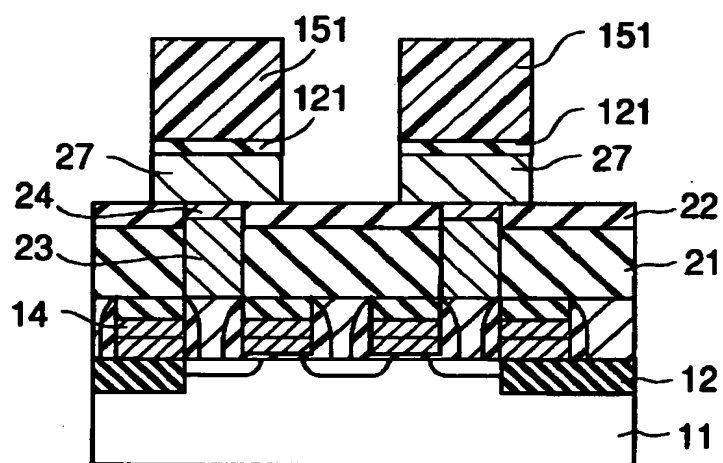


(c)

【図 1 5】

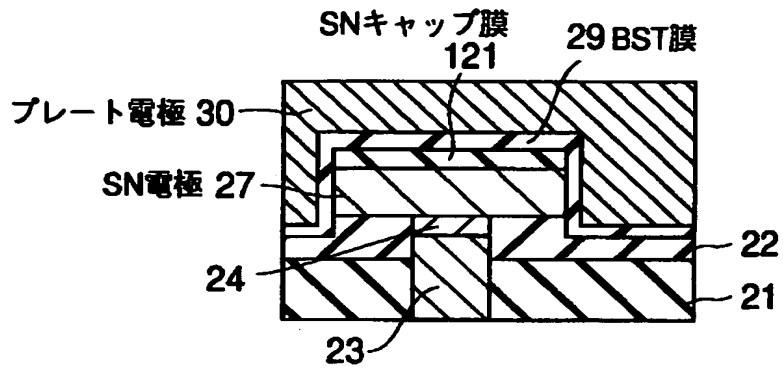


(a)

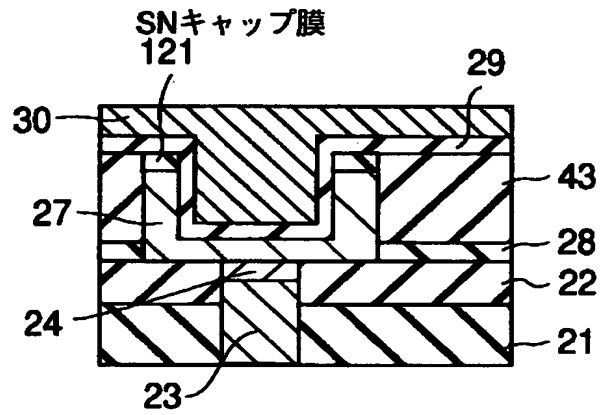


(b)

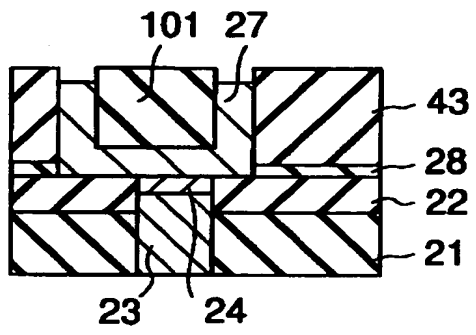
【図 1 6】



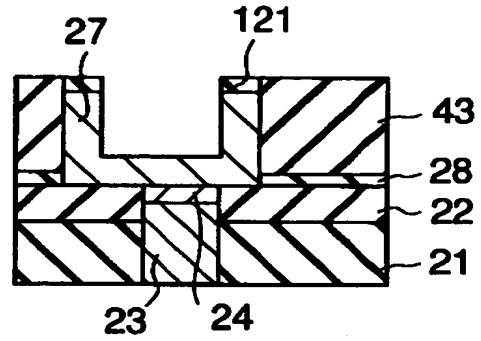
【図 1 7】



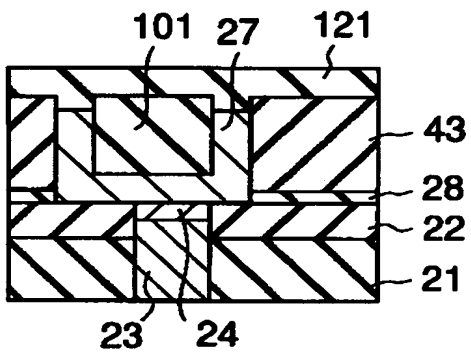
【図 1 8】



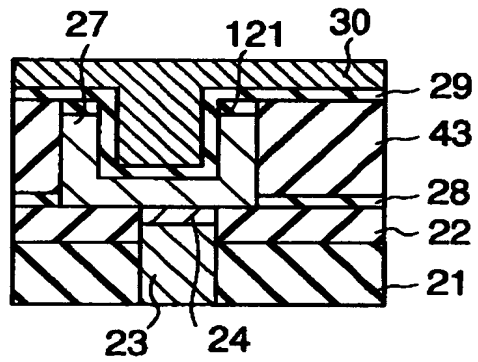
(a)



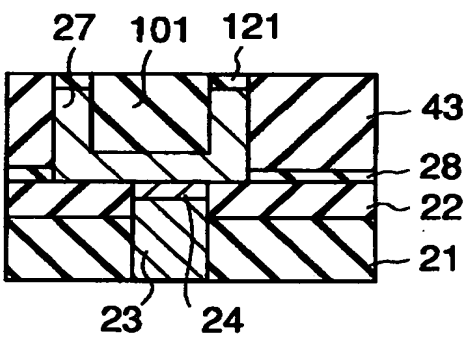
(d)



(b)

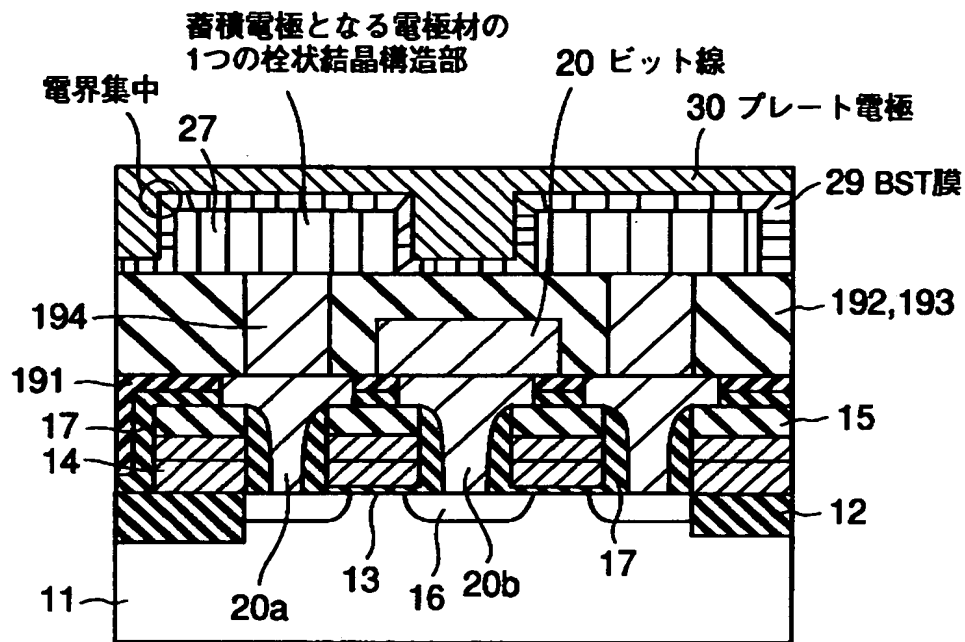


(e)

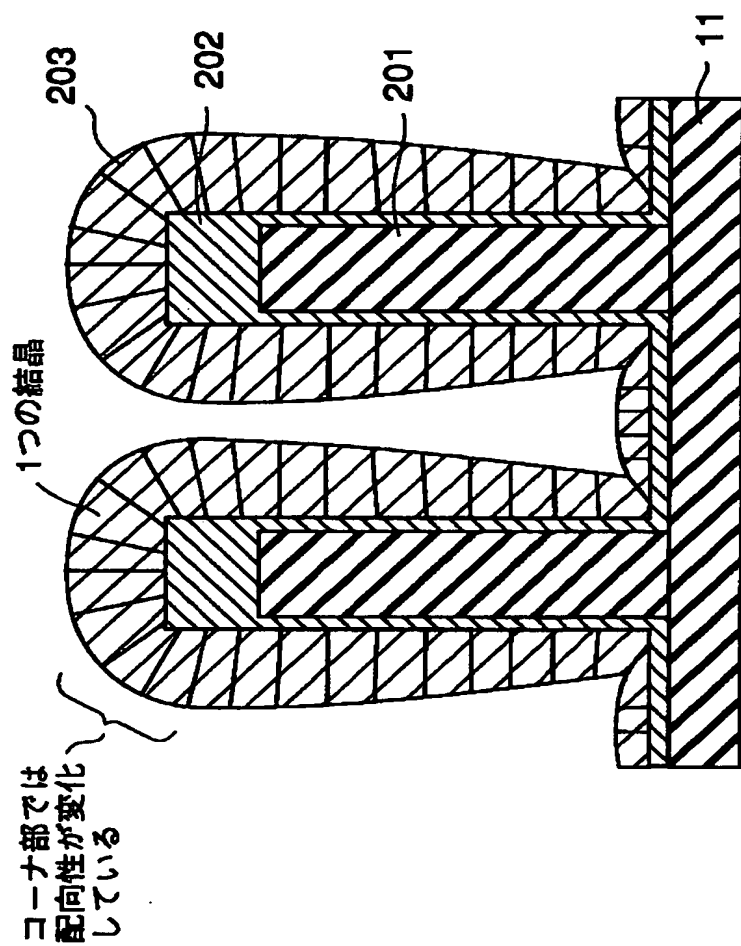


(c)

【図 1 9】



【図 2 0】



【書類名】 要約書

【要約】

【課題】 凸状の蓄積電極と、この蓄積電極の表面を覆うように形成されたキャパシタ絶縁膜と、このキャパシタ絶縁膜上に形成された蓄積電極とを含むスタック型のキャパシタセルにおいて、蓄積電極の上端部の鋭角なコーナーでの電界集中を抑制する。

【解決手段】 凸状の蓄積電極と、この蓄積電極の表面を覆うように形成されたキャパシタ絶縁膜と、このキャパシタ絶縁膜上に形成された蓄積電極とを含むスタック型のキャパシタセルを具備する半導体装置において、前記蓄積電極の蓄積表面と前記キャパシタ絶縁膜との間に、該キャパシタ絶縁膜と異なる絶縁体材料から構成された蓄積電極キャップ膜が形成されている。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 3 0 7 8]

1. 変更年月日 1 9 9 0 年 8 月 2 2 日

[変更理由] 新規登録

住 所 神奈川県川崎市幸区堀川町 7 2 番地
氏 名 株式会社東芝